

---

---

# UNIVERSIDAD DE SONORA

DIVISIÓN DE CIENCIAS EXACTAS Y NATURALES

Departamento de Investigación en Física

Ingeniería en Tecnología Electrónica

Cálculo Probabilístico en Detección de Fallas en  
Circuitos VLSI

## T E S I S

Que para obtener el título de:

**Ingeniero en Tecnología Electrónica**

Presenta:

Ángel Francisco Carreño Acuña

Director de Tesis:

Dr. Roberto Gómez Fuentes

Dra. Milka del Carmen Acosta Enríquez

Hermosillo, Sonora, México,      Noviembre de 2010

# Universidad de Sonora

Repositorio Institucional UNISON



**"El saber de mis hijos  
hará mi grandeza"**



Excepto si se señala otra cosa, la licencia del ítem se describe como openAccess



Dr. Roberto Gómez Fuentes  
Universidad de Sonora, Hermosillo, México.

Dra. Milka del Carmen Acosta Enriquez  
Universidad de Sonora, Hermosillo, México.

SINODALES

Dr. Armando Gregorio Rojas Hernández  
Universidad de Sonora, Hermosillo, México.



# Índice

<b>Introducción</b>	<b>3</b>
0.1 Stuck-at . . . . .	5
<b>Justificación</b>	<b>6</b>
<b>Objetivo</b>	<b>6</b>
<b>1 Stuck-at</b>	<b>7</b>
1.1 Stuck-at Fault . . . . .	7
1.2 Efectos de Acoplamiento . . . . .	9
1.3 Estructura Interna de Circuitos CMOS . . . . .	11
<b>2 Procesos Estocásticos</b>	<b>17</b>
2.1 Probabilidad . . . . .	17
2.2 Variables Aleatorias . . . . .	19
2.3 Probabilidades Condicionales . . . . .	20
2.4 Teorema de Bayes . . . . .	22
2.5 Circuito c17 . . . . .	23

<b>3</b>	<b>Física y Modelado de MOSFETs</b>	<b>27</b>
3.1	Características Básicas MOSFET . . . . .	27
3.2	Voltaje de Umbral en MOS . . . . .	30
<b>4</b>	<b>Resultados</b>	<b>33</b>
4.1	Introducción . . . . .	33
4.2	Circuito Combinacional C432 . . . . .	34
4.3	Simulación . . . . .	50
<b>5</b>	<b>Conclusiones</b>	<b>53</b>

## Introducción

El desarrollo de la tecnología bipolar para circuitos integrados (IC's) ha ido mano a mano con la mejora continua en materiales semiconductores y componentes discretos durante 1950 y 1960. Consecuentemente, la tecnología bipolar del Silicio forma la base para los IC's durante 1970. Debido a que las dimensiones del circuito se reducen en el MOSFET (o MOS), éste se ha tomado como la mayor plataforma de tecnología para IC's de Silicio. La principal razón es la facilidad de miniaturizar y hacer una alta producción para MOS comparados con los de tecnología bipolar. Para circuitos de VLSI el poder de bajo recurso de las compuertas complementarias MOS (CMOS) es una base significativa comparada con los circuitos integrados bipolares.

La evolución de la tecnología MOS ha seguido la famosa ley de Moore que predice un constante decrecimiento de la longitud de la compuerta. La tecnología bipolar también se ha beneficiado del progreso en litografía y es fabricada actualmente usando herramientas de profundidad UV con tamaños cercanos a los 100 nm [2].

La complejidad de la tecnología VLSI ha alcanzado el punto donde se intenta poner 100 millones de transistores sobre un solo chip y, se intenta incrementar la frecuencia del reloj del chip a 1 GHz.

La evolución de la arquitectura del microprocesador en los últimos años ha sido facilitada por la mejora estupenda en los procesos tecnológicos del Silicio. Como fue pronosticado en 1965 por el cofundador de Intel, Gordon Moore, el número de transistores colocados en un solo chip ha sido doblado bruscamente en un par de años. Cada nuevo proceso tecnológico traerá más pequeños y rápidos dispositivos, permitiendo a los diseñadores crear arquitecturas más complejas trabajando a una velocidad de reloj más alta.

Debido a que, conforme pasa el tiempo, el número de transistores en un solo chip aumenta, la probabilidad de que ocurra una falla dentro del circuito se vuelve cada vez más cercana. La proximidad entre uno y otro transistor va en desarrollo y esto puede generar efectos de proximidad.

Las correcciones en sistemas electrónicos son empleadas en varios sentidos. El lector puede encontrar los términos, defectos, errores y fallas algunas veces usados en caminos confusos en la literatura de prueba.

Un defecto en un sistema electrónico es la diferencia no intencionada entre el hardware implementado y su diseño intentado.

1. *Defectos de Proceso:* Contacto faltante de Windows, transistores parásitos.

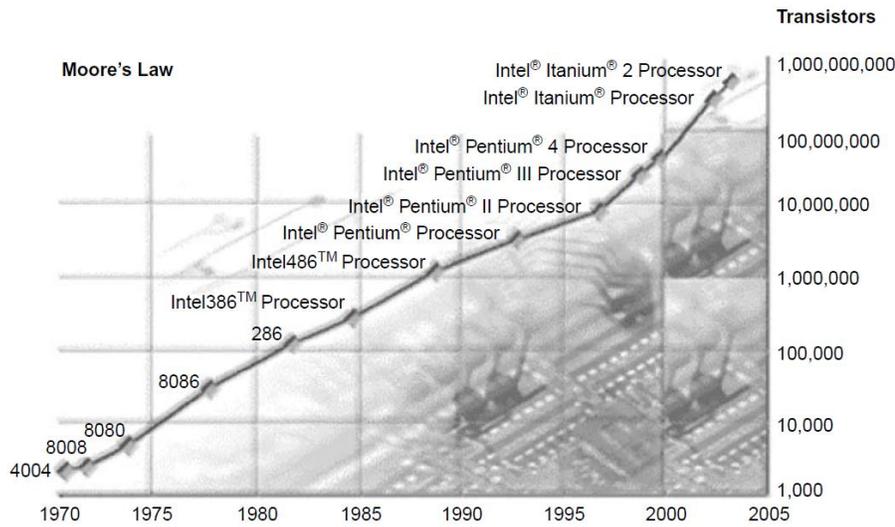


Figura 1: Ley de Moore.

2. *Defectos de Material:* Defectos de masa, impurezas de superficie.
3. *Defectos de antigüedad:* Avería dieléctrica, electromigración.
4. *Defecto de paquete:* Degradación de contactos, goteras en el sellado.

Los defectos también ocurren durante la manufactura o durante el uso de dispositivos. Las ocurrencias repetidas del mismo defecto indican la necesidad de mejorar en el proceso de manufactura o en el diseño del dispositivo.

**Error.** Una señal de salida errónea producida por un sistema defectuoso es llamada error. Un error es un efecto que nos causa un "defecto".

**Falla.** Es una representación de defecto en una función de nivel abstracto, se le llama falla.

Si suponemos una compuerta AND de dos entradas a y b, y una salida c, con entradas lógicas 11, la salida tendría que ser 1. Sin embargo, la señal de entrada b está conectada a tierra generando un estado lógico 0 en la señal y de esta manera generando en la salida un 0 incorrecto.

- Defecto: Corto a tierra.
- Falla: Señal b con stuck-at en estado lógico 0.

- Error:  $a=1$ ,  $b=1$  salida  $c=0$  (salida correcta  $c=1$ ).

Tipo de Defecto	Frecuencia de acontecimiento (%)
Cortos	51
Abiertos	1
Componentes perdidos	6
Componentes incorrectos	13
Componentes inversos	6
Pistas torcidas	8
Analogías incorrectas	5
Lógica digital defectuosa	5
Ejecución de defectos	5

Tabla 1: Típicos defectos en tarjetas PCB.

- Defecto: Corto a tierra.
- Falla: Señal  $b$  con stuck-at en estado lógico 0.
- Error:  $a=1$ ,  $b=1$  salida  $c=0$  (salida correcta  $c=1$ ).

En la tabla 1, se muestran los defectos mas comunes en las tarjetas PWB, sobresaliendo con un porcentaje mayor los cortos circuitos conocidos como stuck-at, los cuales son cortos generados por interconexiones incorrectas de manera natural, enfocándolos para su estudio [3].

## 0.1 Stuck-at

Suponemos que el circuito es modelado con una interconexión de compuertas Booleanas (llamado netlist). Se asume que una falla stuck-at afecta solo la interconexión entre compuertas. Cada línea de conexión puede tener dos tipos de fallas; stuck-at-1 y stuck-at-0 (comúnmente escrita como s-a-1 y s-a-0). Así, una línea con falla stuck-at-1 siempre tendrá un estado lógico 1 sin tener en cuenta la salida lógica correcta de la conducción de la compuerta. En general, algunas fallas stuck-at pueden estar simultáneamente presentes en el circuito.

Como se muestra en la figura 2, una falla marcada como stuck-at-1 en la salida de la compuerta OR es el medio para que la señal defectuosa permanezca en 1, sin tener en cuenta el estado de entrada de la compuerta OR. Si la salida normal de la compuerta OR es 1, donde las entradas sean 01, 10 ó 11, entonces estas fallas no afectarán ninguna señal en nuestro circuito. Sin embargo, una entrada 00 en la compuerta OR producirá un 0 en la salida normal del circuito [3].

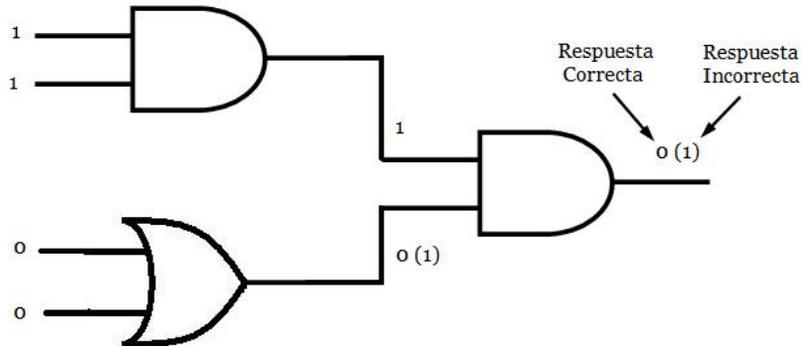


Figura 2: Falla stuck-at.

## Justificación

En la actualidad los circuitos VLSI (Very Large Scale Integration) son de gran utilidad por su gran escala de integración, son usados en muchas aplicaciones, en las cuales, su correcto funcionamiento depende de un resultado esperado. Sin embargo siempre existe la posibilidad de que el dispositivo falle y su funcionamiento no sea el adecuado causando pérdidas en materiales y costos.

Una pertinente detección de una falla en el dispositivo ayudaría a reducir los riesgos y a prever una acción correctiva para continuar el proceso.

## Objetivo

El objetivo principal de este trabajo consiste en determinar las probabilidades de detección de fallas en interconexiones considerando acoplamientos capacitivos para circuitos VLSI combinatoriales. Algunos tipos de fallas que se llegan a presentar en algunos circuitos integrados son del tipo stuck-at, es decir que la interconexión está conectada a GND o a  $V_{DD}$ , es decir, stuck-at 0 o stuck-at 1.

# Capítulo 1

---

## *Stuck-at*

### 1.1 Stuck-at Fault

Este fallo es modelado asignando un valor fijo (0 ó 1) a la línea de señal en el circuito. Una línea de señal es una entrada o salida de una compuerta lógica o un flip-flop. Las formas más populares son las fallas individuales stuck-at, es decir, dos fallos por línea, stuck-at 1 (s-a-1 ó sa1) y stuck-at 0 (s-a-0 ó sa0).

El modelo de falla más ampliamente usado es el modelo antes mencionado stuck-at. El modelo de falla individual stuck-at abstrae la implementación y los detalles tecnológicos de la representación de un circuito colocando la ocurrencia de falla directamente dentro de la representación del nivel de compuerta del circuito.

El modelo de falla stuck-at asume que un nodo defectuoso se comporta como un nodo permanentemente conectado a una de las fuentes de voltajes, ya sea VDD o GND. En este modelo, SA0 (Stuck-at-0) y SA1 (Stuck-at-1) son usados para describir un nodo que exhibe una falla. En el nivel de compuerta, el número de fallas que pueden ocurrir para una compuerta combinatorial con  $n$  entradas y 1 salida es  $2n + 2$ . Cada nodo de las  $n$  entradas puede sufrir una falla SA0 ó SA1. Lo mismo es aplicado para los nodos de salida. En el modelo stuck-at, el set de vectores es aplicado para las entradas primarias del circuito para sensibilizar la falla. El error es propagado a la salida primaria. En un circuito varias fallas stuck-at pueden ocurrir

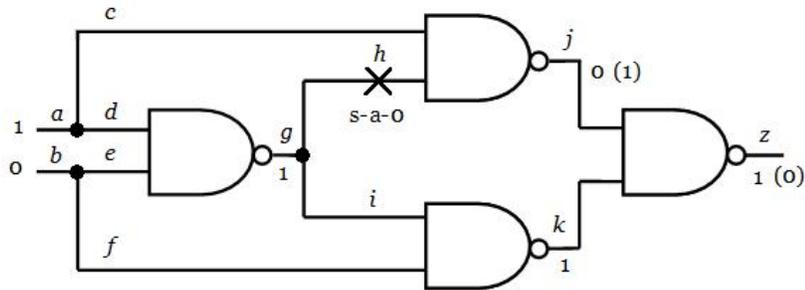


Figura 1.1: Sitios para fallas stuck-at.

simultáneamente. Un circuito con  $n$  líneas tendría  $3^n - 1$  estados posibles stuck-at, el cual, es un número alto y computacionalmente caro. Por consiguiente, esto es común para modelar solo una falla stuck-at al mismo tiempo (no múltiples fallas). De este modo un circuito con  $n$  líneas tendrá  $2n$  fallas stuck-at. Este número está reducido por el proceso de compresión de fallas debido a que existen fallas equivalentes.

Algunas de las características de este modelo se describen a continuación:

- Muchos defectos físicos diferentes pueden ser modelados por la misma lógica.
- La complejidad se reduce grandemente.
- El modelo stuck-at es tecnología independiente.

A pesar de las grandes ventajas del modelo de falla stuck-at, se ha encontrado que este modelo no es adecuado para representar algunos defectos en las tecnologías CMOS.

Ejemplo:

Considerando la función OR-exclusiva implementada en el circuito de la figura 1.1. Como se muestra, la falla  $h$  s-a-0 es detectable por una entrada 10. Las señales de línea  $g$ ,  $h$  e  $i$ , comúnmente conocidas como una red de señales, arrastran el mismo valor de la señal. La entrada 10 solo activan las fallas s-a-0 sobre  $g$  e  $i$ . Pero, solo  $g$  s-a-0 es detectable por esta entrada. El efecto de la falla  $i$  s-a-0 es bloqueado reproduciéndose para la salida primaria  $z$  por  $f=0$ , que excepcionalmente coloca a  $k=1$ . Notamos que las fallas en las ramas de salida de una red no son idénticas. En un circuito lógico, la red  $a$  contiene una raíz o fuente ( $g$  en este circuito) y las ramas de

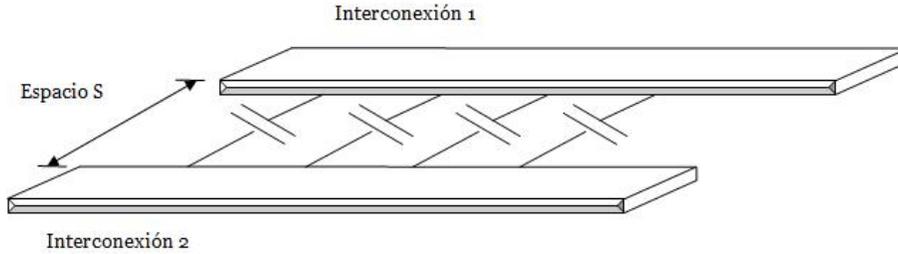


Figura 1.2: Acoplamiento capacitivo entre dos líneas interconectadas adyacentes.

salida son entradas de algunas otras compuertas. Para considerar todas las posibles fallas, modelamos fallas stuck-at en la raíz y en todas las ramas de salida de la red. Considerando todas las redes en el circuito, es equivalente a modelar fallas en las entradas y salidas de todas las compuertas.

El lector puede verificar que la OR-exclusiva en el circuito de la figura 1.1 tiene 12 lugares de fallas y por lo tanto podríamos modelar 24 fallas stuck-at en este circuito.

## 1.2 Efectos de Acoplamiento

Un problema importante asociado con las interconexiones es el acoplamiento capacitivo. El acoplamiento capacitivo, depende del espacio  $S$  de línea a línea como se ilustra en la figura 1.2. El acoplamiento capacitivo entre dos líneas conductoras es inversamente proporcional a la distancia entre ellas por lo que un valor pequeño de  $A$  implica un acoplamiento capacitivo grande existente en  $C_C$ .

Debido a esta dependencia, no es poco común encontrar una regla de diseño de estructura mínima para líneas críticas, las cuales son actualmente más grandes que las que podrían ser creadas en el proceso de línea. También, el acoplamiento capacitivo aumenta con la longitud de la interacción, por lo que es importante que las interconexiones no estén colocadas cerca unas de otras para cualquier distancia extendida.

Usando la geometría de la figura 1.4 podemos estimar el acoplamiento capacitivo. Esta vista transversal muestra el espacio  $S$  entre dos líneas idénticas interconectadas. Una formula empírica que nos proporciona un estimado razonable para los acoplamientos capacitivos  $C_c$  por unidad de longitud es dada por:

$$C'_C = \varepsilon_{0X} \left[ 0.03 \left( \frac{w}{X_{0X}} \right) + 0.83 \left( \frac{h}{X_{0X}} \right) - 0.07 \left( \frac{h}{X_{0X}} \right)^{0.222} \right] \left( \frac{X_{0X}}{S} \right)^{4/3} \quad (1.1)$$

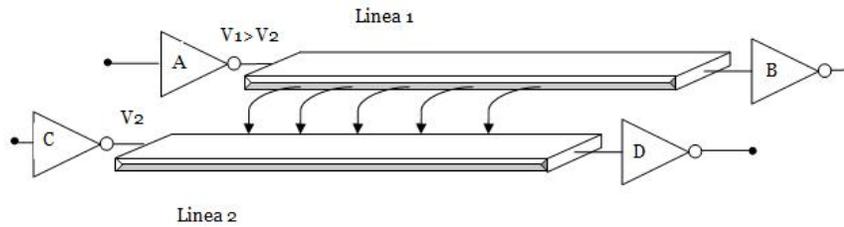


Figura 1.3: Campo eléctrico acoplado entre dos líneas.

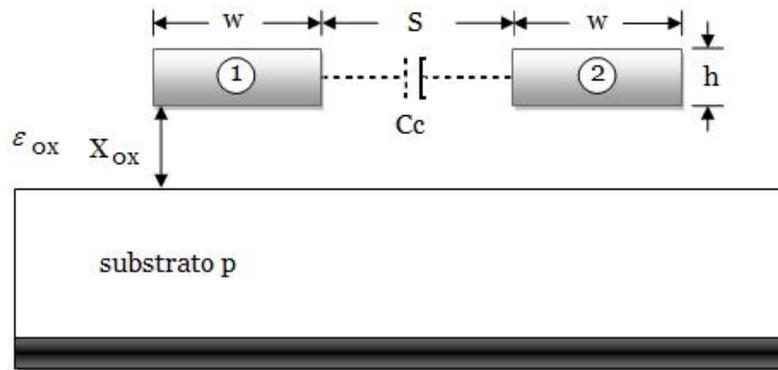


Figura 1.4: Geometría para calcular el coeficiente de acoplamiento.

en unidades de F/cm que puede ser aplicado directamente a la geometría. El acoplamiento total capacitivo en Farads de una línea que tiene una longitud  $d$  es calculada por:

$$C_C = C'_C d \quad (1.2)$$

La figura 1.4 muestra explícitamente el hecho de que  $C_C$  incrementa tal que la distancia de separación  $S$  decrementa.

La importancia de  $C_C$  se hace evidente cuando examinamos como dos circuitos pueden interactuar mediante acoplamiento de campo eléctrico. Considerando la situación que se muestra en la figura 1.3, donde dos líneas independientes interactúan a través de un campo acoplado  $E_C$ . La línea 1 está en un voltaje  $V_1(t)$  en la entrada del inversor B, mientras la línea 2 tiene un voltaje  $V_2(t)$  que está en la entrada del

inversor D. El campo es soportado por la diferencia de voltajes ( $V_1 - V_2$ ). A nivel de circuito, analizaremos la situación introduciendo un nodo equivalente en el modelo de líneas de transmisión tal como en la figura L. La interacción del campo eléctrico es incluida a través del acoplamiento capacitivo de  $C_C$ . La colocación de  $C_C$  en el circuito corresponde al tipo más simple de modelo de acoplamiento de un solo capacitor; un análisis más exacto podría sumar dos capacitores, uno en cada lado de los resistores. La corriente a través del capacitor es calculada por la relación

$$\begin{aligned} i_c &= C_c \frac{dV_c}{dt} \\ &= C_c \frac{d(V_1 - V_2)}{dt} \end{aligned} \quad (1.3)$$

se asume que el flujo va de la línea 1 a la línea 2 por la elección de voltajes. Si la diferencia  $V_1 - V_2$  cambia en tiempo, entonces las dos líneas hacen acoplamientos eléctricos y los voltajes son diferentes para el caso donde ellos son independientes.

### 1.3 Estructura Interna de Circuitos CMOS

Los circuitos digitales son diseñados para producir voltajes de salida que caen dentro de los intervalos de voltaje prescritos 0 y 1. De manera similar, los circuitos digitales se crean para responder de forma anticipada a voltajes de entrada que se encuentran dentro de los intervalos definidos 0 y 1. Lo que esto significa es que un circuito digital responderá en la misma forma a todas las entradas de voltaje que caigan dentro del intervalo 0 permitido; de la misma manera, no hará distinción entre voltajes que se encuentren dentro del intervalo 1 permitido.

A la forma que un circuito digital responde a una entrada se le denomina *lógica* del circuito. Cada tipo de circuito digital obedece a cierto tipo de reglas lógicas. Por esta razón, los circuitos digitales también se llaman circuitos digitales.

La mayoría de los circuitos digitales que se usan en sistemas digitales modernos son circuitos integrados (CI). Se usan varias tecnologías de fabricación de circuitos integrados para producir CI digitales; entre los más comunes se encuentran CMOS, TTL y NMOS, por mencionar algunos. Cada uno difiere en el tipo de circuitería que se usa para proporcionar la operación lógica deseada. En el caso de la tecnología CMOS (Semiconductor complementario de Óxido Metálico) se usa el MOSFET de modo de enriquecimiento, o de acrecentamiento como el elemento principal del circuito [8].

### 1.3.1 El Inversor

En la figura 1.5 se muestra un inversor CMOS ó una compuerta NOT usando un transistor nMOS y un transistor pMOS. El triángulo en la parte superior indica  $V_{DD}$  y la barra horizontal en la parte inferior indica GND. Cuando la entrada A es "0", el transistor nMOS esta apagado y el transistor pMOS esta encendido. De esta manera la salida B es subida a "1" debido a que esta conectada a  $V_{DD}$  pero no a GND. En cambio, cuando A es "1", el nMOS esta encendido, el pMOS esta apagado y B es bajado a "0". Esto es resumido en la tabla de verdad de la figura 1.6 y su símbolo es mostrado [8].

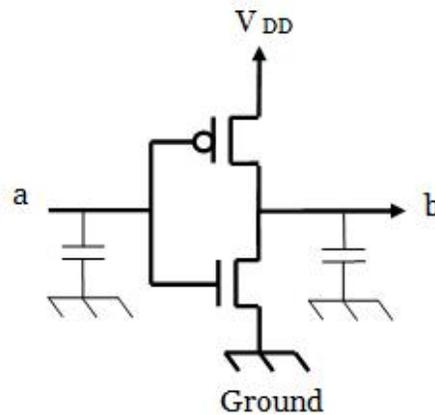
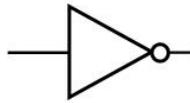


Figura 1.5: Estructura Interna NOT.

a	b
0	1
1	0



(a) Tabla de Verdad

(b) Símbolo

Figura 1.6: Compuerta Lógica NOT

### 1.3.2 Compuerta NAND

La figura 1.7 muestra una compuerta CMOS NAND de dos entradas. Esto consiste en dos series de transistores nMOS entre la salida y GND y dos transistores en paralelo pMOS entre la salida y  $V_{DD}$ . Si cualquiera de las dos entradas A ó B es "0", al menos uno de los transistores estará apagado interrumpiendo el camino de C a GND. Pero al menos uno de los transistores pMOS estará encendido, creando un camino de C a  $V_{DD}$ . Por lo tanto, la salida C será "1". Si ambas entradas son "1", ambos transistores nMOS estarán encendidos y ambos transistores pMOS estarán apagados. De ahí, la salida será "0". La tabla de verdad es dada en la figura 1.8, y el símbolo se muestra.

Las compuertas NAND de k-entradas se construyen usando k transistores nMOS en serie y k transistores pMOS en paralelo. Por ejemplo, para una NAND de 3 entradas, cuando cualquiera de las entradas sea "0", la salida será llevada a alto a través de los transistores pMOS en paralelo. Cuando todas las entradas son "1", la salida es llevada a bajo a través de los transistores nMOS en serie [8].

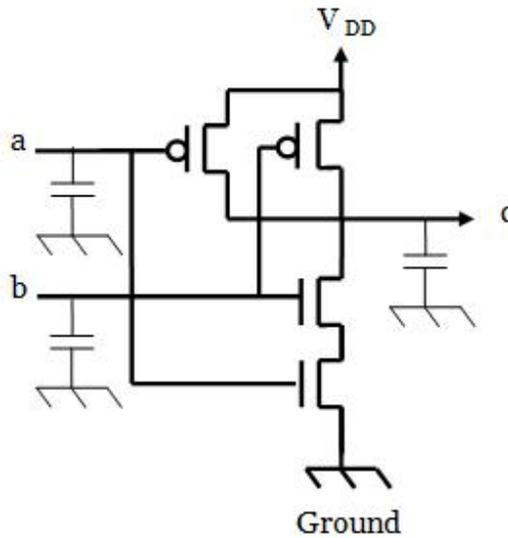
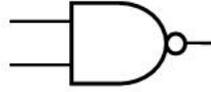


Figura 1.7: Estructura Interna NAND.

a	b	c
0	0	1
0	1	1
1	0	1
1	1	0



(a) Tabla de Verdad

(b) Símbolo

Figura 1.8: Compuerta Lógica NAND

### 1.3.3 Compuerta NOR

Una compuerta NOR de dos entradas se muestra en la figura 1.9. El transistor nMOS está en paralelo para llevar la salida a bajo cuando cualquiera de las dos entradas sea alto. El transistor pMOS está en serie para llevar la salida a alto cuando ambas entradas estén en bajo, como se indica en la tabla de verdad de la figura 1.10 [8].

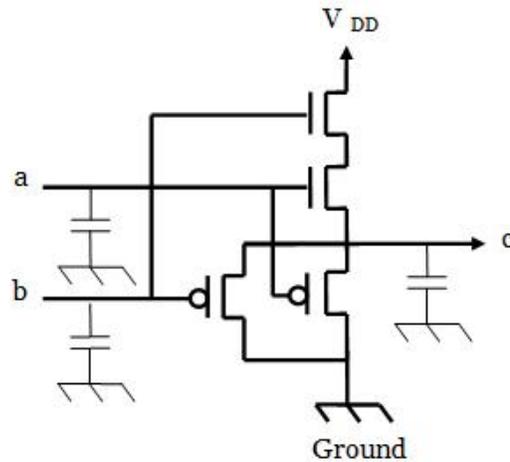
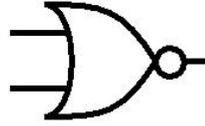


Figura 1.9: Estructura Interna NOR.

a	b	c
0	0	1
0	1	0
1	0	0
1	1	0



(a) Tabla de Verdad

(b) Símbolo

Figura 1.10: Compuerta Lógica NOR

### 1.3.4 Benchmark Circuits

La tabla 1.1 muestra los resultados de fallas de algunos circuitos Benchmark tratados en el sistema Bell Labs' GENTEST.

Nombre del Circuito	No. de Compuertas	No. de Entradas	No. de Salidas	Número de Fallas		
				Todas	Collapsed	Collapse ratio
c432	160	36	7	864	524	0.61
c499	202	41	32	998	758	0.76
c880	383	60	26	864	968	0.55
c1355	546	41	32	864	1606	0.59
c1908	880	33	25	864	2041	0.54
c2670	1193	233	140	864	2943	0.55
c3540	1669	50	22	864	3651	0.52
c5315	2307	178	123	864	5663	0.53
c7552	3513	207	108	864	8084	0.54

Tabla 1.1: Fallas stuck-at en circuitos Benchmark.



# Capítulo 2

---

## *Procesos Estocásticos*

La teoría de la probabilidad es, junto con la teoría de señales, uno de los dos pilares matemáticos sobre los que se asienta el análisis de sistemas de comunicaciones digitales. En este capítulo se presentan nociones básicas de probabilidad y procesos aleatorios. Se revisan los conceptos de variable aleatoria y procesos estocásticos y sus propiedades, en particular aquellas de interés en comunicaciones digitales [5].

### 2.1 Probabilidad

El concepto de probabilidad está ligado a realización (física o mental) de un experimento "aleatorio", entendiéndose por tal un experimento cuyo resultado es desconocido (es decir, no predecible) por un observador. Suele ponerse el ejemplo de lanzamiento de un dado: el resultado puede ser cualquier número entre 1 y 6, pero es a priori impredecible ni siquiera por el lanzador. La probabilidad es una medida de la incertidumbre que, para un observador, tiene el resultado de un experimento, y es, por tanto, una medida subjetiva: así, por ejemplo, el contenido de un mensaje enviado a través de un canal de comunicaciones digitales es completamente desconocido por el receptor antes de iniciarse la comunicación, pero no por el transmisor, que puede predecirlo con exactitud en la medida que "conoce" el mensaje transmitido [5].

El desconocimiento puede ser total o parcial. Si consideramos el experimento "lanzar dos dados y sumar sus puntos", cualquier resultado entre 2 ( $1 + 1$ ) y 12 ( $6 + 6$ ) es

posible, pero también sabemos que el 7 es un resultado más "esperable" que el 2. Lo sabemos por naturaleza del experimento o por información estadística.

La probabilidad es pues esencialmente, una medida de incertidumbre sobre el resultado del experimento y es, por tanto, dependiente de la cantidad de información disponible por el observador en cada momento. Para acercarnos a una definición más formal, se precisan varios elementos:

Un espacio muestral,  $\Omega$ , que es el conjunto de todos los resultados posibles de un experimento aleatorio.

Un conjunto de sucesos,  $\Phi = \{S, S \subset \Omega\}$ . Un suceso es cualquier subconjunto de  $\Omega$ . Ejemplos de sucesos en el ejemplo de los dados son que la suma sea: 2, un número impar, un número menor que 8, etc. En total hay  $2^{11}$  posibles sucesos.

Definimos ahora una medida de probabilidad  $P_r$  como toda una función que, aplicada sobre cualquier suceso  $S \subset \Omega$ , devuelve un número real  $P_r\{S\}$  que verificadas las siguientes propiedades:

1.  $0 < P_r\{S\} < 1$
2.  $P_r\{\phi\} = 0$
3.  $P_r\{\Omega\} = 1$
4. Dado un conjunto finito (ó infinito numerable) de sucesos  $S_i \in \Omega$  disjuntos  $S_i \cap S_j = \phi$  se verifica

$$P_r \left\{ \bigcup_{k=1} S_k \right\} = \sum_{k=1} P_r\{S_k\} \quad (2.1)$$

### 2.1.1 Asignación de probabilidades a sucesos

Supongamos que el experimento aleatorio puede repetirse un número indefinido de veces, y que el resultado de cada experimento es independiente de los demás. Diremos que una probabilidad  $P_r$  es un buen modelo de incertidumbre para dicho experimento en la medida en que sea capaz de predecir con exactitud la frecuencia con la que se repiten los diferentes sucesos del experimento.

Es decir,  $P_r$  es una buena medida de incertidumbre sobre el resultado del experimento si dado cualquier suceso  $S \subset \Omega$ , tras  $N$  repeticiones del experimento, denominado  $N_s$

al número de veces que se produce algún resultado que está en  $S$ , el cociente  $N_s/N$  converge a  $P\{S\}$  cuando  $N$  tiende a infinito.[13]

## 2.2 Variables Aleatorias

Estrictamente hablando, variable aleatoria es toda aplicación de en la recta real, que asigna a cada posible resultado un número. Dado el resultado  $\xi \in \Omega$ , la variable aleatoria  $X$  tomara un valor  $X(\xi) \in \mathbb{R}$ . En la práctica, la notación suele simplificarse y, de forma general e escribiremos  $X$ , omitiendo el argumento [11].

Mediante el uso de variables aleatorias, el espacio muestral original se proyecta sobre un subconjunto de la recta real, que llamaremos espacio muestral imagen.

Si llamamos  $\Omega'$  al espacio muestral imagen ( es decir,  $\Omega' = \{X(\xi) \mid \xi \in \Omega\}$ , podemos distinguir entre:

- *Variables Aleatorias Discretas*  $\Omega'$  es discreto (es decir, finito o infinito numerable).
- *Variables Aleatorias Continuas*  $\Omega'$  es continuo, o contiene algún subconjunto continuo.

La diferencia entre variables discretas y continuas es sustancial. Como hemos visto anteriormente, si el espacio muestral imagen es finito o infinito numerable, para caracterizar la variable aleatoria en términos probabilísticos es suficiente con asignar un valor de probabilidad a cada posible resultado (que, de acuerdo con la definición anterior, es también un suceso) respetando las propiedades 1 a 3, y calcular las probabilidades de los demás sucesos aplicando la propiedad 4. Lo último es posible porque puede construirse cualquier suceso mediante la unión contable de sucesos atómicos (esto es, sucesos formados por un solo resultado posible). Sin embargo, si  $\Omega'$  es continuo, aquellos sucesos que contengan un conjunto infinito y no numerable de resultados posibles no pueden construirse como unión contable de sucesos atómicos y, por tanto, no es posible calcular su probabilidad a partir de las probabilidades de los sucesos atómicos. Además, ¡la mayoría de los sucesos atómicos tienen probabilidad nula!

Cuando  $\Omega'$  es continuo, suele preferirse caracterizar la variable aleatoria  $X$  a partir de los sucesos de la forma  $\{X \leq x\}$ . La función que devuelve la probabilidad de este suceso para cada valor de  $X$  se denomina función de distribución acumulada o, simplemente, función de distribución.

$$F_x(x) = P_r\{X \leq x\} \quad (2.2)$$

La función de distribución tiene las siguientes propiedades, que se deducen directamente de su definición:

1.  $0 \leq F_x(x) \leq 1$
2.  $F_x(\infty) = 1$
3.  $F_x(-\infty) = 0$
4.  $F_x(x)$  es una función monótona creciente  $F_x(X_1) \leq F_x(X_2)$  si  $X_1 < X_2$

### 2.3 Probabilidades Condicionales

Hemos dicho que la probabilidad es una medida de la incertidumbre acerca del resultado de un experimento, y por tanto es subjetiva, en la medida en que depende de la información disponible por el observador que pueda tener alguna relación con el mismo. Por tanto, si el observador recibe nueva información, la "cantidad de incertidumbre" puede cambiar [9].

Se precisa, por tanto, alguna medida de la probabilidad de cierto suceso A condicionada por el conocimiento sobre la ocurrencia de otro suceso B. Matemáticamente, esto se escribe  $P_r\{A | B\}$  y se define como

$$P_r\{A | B\} = \frac{P_r\{A \cup B\}}{P_r\{B\}} \quad (2.3)$$

Cabe preguntarse si esta definición matemática expresa efectivamente lo que se desea medir. Supongamos que, tras realizar un número N (suficientemente grande) de veces el experimento aleatorio asociado a los sucesos A y B se producen  $N_B$  ocurrencias de B y  $N_{AB}$  ocurrencias simultáneas de A y B. Si las probabilidades de los sucesos son consistentes con las observaciones, debe ser buena la aproximación  $P_r\{A | B\} \approx N_{AB}/N_B$  (es decir, la probabilidad debe aproximarse a la proporción de veces que se ha observado A entre todas las observaciones en las que ha sucedido B).

$$P_r\{A | B\} = \frac{P_r\{A, B\}}{P_r\{B\}} \approx \frac{N_{AB}/N}{N_B/N} = \frac{N_{AB}}{N_B} \quad (2.4)$$

$$P_r\{A \cap B\} = P_r\{A | B\}P_r\{B\} = P_r\{B | A\}P_r\{A\} \quad (2.5)$$

Esta expresión puede generalizarse para la intersección de  $n$  sucesos con la denominada regla de la cadena de la probabilidad condicional

$$\begin{aligned} P_r\{A_0 \cap A_1 \cap \dots \cap A_{n-1}\} \\ = P_r\{A_0\}P_r\{A_1 | A_0\} \dots P_r\{A_{n-1} | A_1, A_2, \dots, A_{n-2}\} \end{aligned} \quad (2.6)$$

Del mismo modo que hemos definido la función de probabilidad de una variable aleatoria a partir de las probabilidades de los sucesos atómicos (sucesos constituidos por un solo resultado posible), se define la función de probabilidad condicional de  $X$  dado  $Y$  (o mejor, de  $X$  dado  $Y = y$ ) como

$$P_{X|Y}(x | y) = \frac{P_{X|Y}(x, y)}{P_Y(y)} \quad (2.7)$$

Que, para cada valor de  $x$  y de  $y$ , devuelve la probabilidad condicionada correspondiente.

Asimismo, se define la función de densidad de probabilidad condicional de la variable continua  $X$  dada la variable continua  $Y$

$$f_{X|Y}(x | y) = \frac{f_{X|Y}(x, y)}{f_Y(y)} \quad (2.8)$$

Ejemplo:

Un ejemplo de probabilidades condicionales utilizado en transmisión digital es el modelo de Canal binario simétrico como se muestra en la figura 2.1. Este modelo define las probabilidades con las que ocurren los "0" y los "1" a la salida de un canal de comunicaciones, supuesto conocido el valor de los bits a su entrada. De esta forma se definen las variables aleatorias  $S$  y  $R$  asociadas al bit transmitido y recibido, respectivamente, relacionada a través de las siguientes probabilidades:

$$P_r\{R = 0 | S = 0\} = 1 - p \quad (2.9)$$

$$P_r\{R = 1 | S = 0\} = p \quad (2.10)$$

$$P_r\{R = 0 | S = 1\} = p \quad (2.11)$$

$$P_r\{R = 1 | S = 1\} = 1 - p \quad (2.12)$$

Se observa que la probabilidad de que el canal produzca un error es  $p$ , independientemente del valor del bit transmitido, y de ahí el apelativo "simétrico" [10].

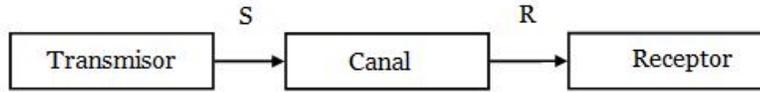


Figura 2.1: Modelo de canal binario simétrico. El transmisor envía un bit  $S = 0$  ó  $1$  a través del canal. El receptor observa un bit  $R = 0$  ó  $1$ , que, con probabilidad  $p$ , difiere de  $S$ .

## 2.4 Teorema de Bayes

El teorema de Bayes permite calcular las probabilidades de un suceso  $A$  condicionadas a otro  $B$  a partir de las probabilidades de  $B$  condicionadas a  $A$ .

El teorema afirma que, dados dos sucesos  $A \subset \Omega$  y  $B \subset \Omega$

$$P_r\{A | B\} = \frac{P_r\{B | A\}P_r\{A\}}{P_r\{B\}} \quad (2.13)$$

$$(2.14)$$

De modo análogo, el teorema de la probabilidad total, algunas extensiones del teorema de Bayes son inmediatas:

- Dadas dos variables aleatorias discretas  $X$  e  $Y$

$$P_{X|Y}(x | y) = \frac{P_{Y|X}(y|x)P_X(x)}{P_Y(y)}$$

- Si  $X$  es continua e  $Y$  discreta

$$f_{X|Y}(x | y) = \frac{P_{Y|X}(y|x)f_X(x)}{P_Y(y)}$$

- Si  $X$  e  $Y$  son continuas

$$f_{X|Y}(x | y) = \frac{f_{Y|X}(y|x)f_X(x)}{f_Y(y)}$$

El teorema de Bayes es consecuencia directa de la definición de la probabilidad condicional, y su demostración es sencilla. Pese a su simplicidad, constituye una de las piedras angulares de la teoría de la probabilidad, y tiene una enorme utilidad

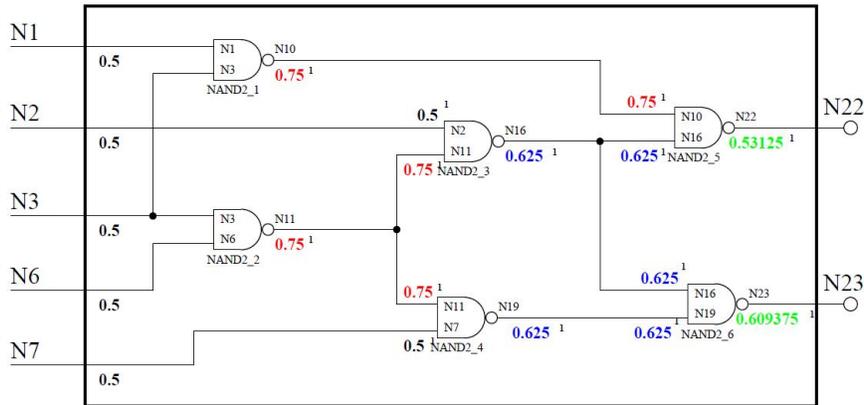


Figura 2.2: Probabilidades de 1's y 0's en el circuito c17.

práctica. La razón estriba en que, con frecuencia,  $Y$  es una variable observable, que representa el efecto de una causa asociada a la magnitud  $X$  que no es directamente observable, y se dispone de un modelo (probabilístico) de la forma en la que  $X$  "causa"  $Y$ : en definitiva,  $P_{X|Y}$  es conocida. Dado que  $Y$  es observado y  $X$  no, en la práctica se plantea la necesidad de calcular  $P_{X|Y}$ . El teorema de Bayes resuelve el problema.[5]

## 2.5 Circuito c17

El circuito c17 de la figura 2.2 perteneciente a los *ISCAS'85* se tomó como circuito inicial para hacer un primer análisis y entender a groso modo las probabilidades de detección de fallas en circuitos VLSI (Very Large Scale Integration). Suponiendo que podemos aplicar cualquier vector de prueba en la entrada de nuestro circuito (Vector de prueba aleatorio), tenemos que los nodos N1, N2, N3, N6 y N7 (Entradas del circuito), ver Figura 2.2, las probabilidades de que se presente un uno o un cero es del 50% para cada uno. Analizando la tabla de verdad de la nand de dos entradas, tenemos que, de las 4 posibles combinaciones resultantes de las  $n$  entradas ( $n = 2$ ) Lo cual, nos lleva a la tabla de verdad para la NAND de dos entradas, y de las cuatro permutaciones con repetición  $n^r$ , tres de ellas pueden dar como resultado un uno a la salida de la NAND. Por pura insepcción sabemos que el 75% de las salidas serán un uno.

Empleando un diagrama de arbol y aplicando los porcentajes de probabilidades de ocurrencia tanto para ceros y unos, resultó el siguiente diagrama, aunque solo es para la compuerta  $NAND2_1$ , creo que es representativo del circuito. Como la compuerta nand presenta un 1 cuando al menos una de sus entradas tiene un cero,

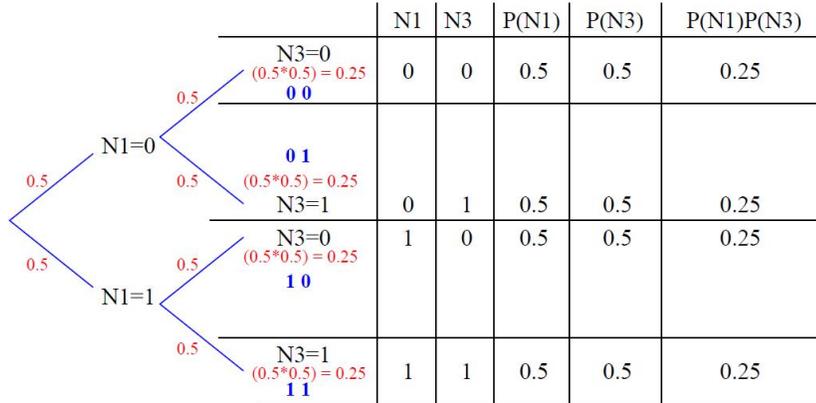


Figura 2.3: Diagrama de arbol, compuerta  $NAND2_1$ .

las probabilidades de que se tenga un uno a la salida esta expresado por:

$$P(A) = (0.5)(0.5) + (0.5)(0.5) + (0.5)(0.5) = 0.25 + 0.25 + 0.25 = 0.75(2.15)$$

Donde:  $P(A)$  esta definido por los eventos (00, 01, 10),  $P(B)$  será el evento definido por los estados lógicos (11).

La siguiente tabla resume lo anterior y seguiré empleandola para ir deduciendo los porcentajes.

Siguiendo con el circuito de la figura 2.2, el caso de la compuerta  $NAND2_2$  es el mismo que el de la compuerta  $NAND2_1$ , ya que presenta los mismo porcentajes en las entradas. Los cálculos realizados en el circuito son para detectar una falla  $S - A - 0$ . Por lo tanto la siguiente compuerta a analizar es la  $NAND2_3$ . Para esta compuerta los porcentajes de las entradas cambian, y se muestran en la siguiente tabla 2.3.

N1	N3	N1	N3	Probabilidades	$NAND2_1$
0	0	$0.5^0$	$0.5^0$	$0.25^1\%$	1
0	1	$0.5^0$	$0.5^1$	$0.25^1\%$	1
1	0	$0.5^1$	$0.5^0$	$0.25^1\%$	1
1	1	$0.5^1$	$0.5^1$	$0.25^0\%$	0

Tabla 2.1: Tabla de verdad de la compuerta  $NAND2_1$  y sus porcentajes

Para este caso la suma de las probabilidades de que ocurra un uno a la salida de la compuerta  $NAND2_3$  se puede expresar de la siguiente forma:

$$\begin{aligned}
P(A) &= (0.5)(0.25) + (0.5)(0.75) + (0.5)(0.25) & (2.16) \\
&= 0.125 + 0.375 + 0.125 = 0.625
\end{aligned}$$

Estos mismos porcentajes se aplican a la compuerta  $NAND_4$  y el resultado es el mismo. Finalmente las compuertas  $NAND_5$  y  $NAND_6$ . Para la compuerta  $NAND_5$  los probables porcentajes se muestran en la tabla. Donde la probabilidad de que ocurra un uno es igual a:

$$\begin{aligned}
P(A) &= (0.25)(0.375) + (0.25)(0.625) + (0.75)(0.375) & (2.17) \\
&= 0.09375 + 0.15625 + 0.28125 = 0.53125
\end{aligned}$$

Los porcentajes para la compuerta  $NAND_6$  se presentan en la siguiente tabla (Tabla 4).

Al igual que en las compuertas anteriores las probabilidades de que ocurra un uno a la salida de la compuerta  $NAND_6$  (Nodo N23) y que por lo tanto, se pueda detectar una falla  $SA - 0$  esta representada en la siguiente relación:

N2	N11	N2	N11	Probabilidades	$NAND_{23}$
0	0	$0.5^0$	$0.25^0$	$0.125^1\%$	1
0	1	$0.5^0$	$0.75^1$	$0.375^1\%$	1
1	0	$0.5^1$	$0.25^0$	$0.125^1\%$	1
1	1	$0.5^1$	$0.75^1$	$0.375^0\%$	0

Tabla 2.2: Tabla de verdad de la compuerta  $NAND_{23}$  y sus porcentajes.

N10	N16	N10	N16	Probabilidades	$NAND_{25}$
0	0	$0.25^0$	$0.375^0$	$0.09375^1\%$	1
0	1	$0.25^0$	$0.625^1$	$0.15625^1\%$	1
1	0	$0.75^1$	$0.375^0$	$0.28125^1\%$	1
1	1	$0.75^1$	$0.625^1$	$0.46875^0\%$	0

Tabla 2.3: Tabla de verdad de la compuerta  $NAND_{25}$  y sus porcentajes.

$$P(A) = (0.375)(0.375) + (0.375)(0.625) + (0.625)(0.375) \quad (2.18)$$

$$P(A) = 0.140625 + 0.234375 + 0.28125 = 0.609375 \quad (2.19)$$

Con esto se puede decir que tendríamos los porcentajes de las probabilidades para detectar, tanto una falla  $s - a - 0$  como una  $s - a - 1$ , para algun vector de prueba

N16	N19	N16	N19	Probabilidades	$NAND2_6$
0	0	$0.375^0$	$0.375^0$	$0.140625^1\%$	1
0	1	$0.375^0$	$0.625^1$	$0.234375^1\%$	1
1	0	$0.625^1$	$0.375^0$	$0.234375^1\%$	1
1	1	$0.625^1$	$0.625^1$	$0.390625^0\%$	0

Tabla 2.4: Tabla de verdad de la compuerta  $NAND2_6$  y sus porcentajes.

aleatorio, lo cual, creo yo, que es bueno ya que no tendríamos que emplear tiempo de cómputo generando los vectores de prueba más favorables. El paso siguiente, es calcular las probabilidades de que las líneas acopladas al nodo en cuestión tengan un estado lógico favorable, para la detección de la falla. El enfoque clásico, dice que si hay  $X$  posibles resultados favorables a la ocurrencia de un evento  $A$  y  $Z$  posibles resultados desfavorables a la ocurrencia de  $A$  y todos los resultados son igualmente posibles y mutuamente excluyentes (o sea, que no pueden ocurrir los dos al mismo tiempo), entonces la probabilidad de que ocurra  $A$  es:

$$P(A) = \frac{X}{X + Z} \quad (2.20)$$

La ecuación aplicada a las líneas acopladas de un nodo víctima, nos permitiría conocer cuales son las probabilidades de que se generen los vectores favorables a una falla específica.

Por ejemplo: Si tenemos un nodo con una falla s-a-0, y sabemos que 9 líneas acopladas a la falla favorecerían la detección de la falla y 15 líneas no la favorecerían, en total tendríamos 24 líneas acopladas, resolviendo la probabilidad, nos queda de la siguiente forma:

$$P(A) = \frac{9}{9 + 15} = \frac{9}{24} = 0.375 = 37.5\% \quad (2.21)$$

# Capítulo 3

---

## *Física y Modelado de MOSFETs*

Los MOSFETs (metal-oxide-semiconductor field-effect transistor) son los dispositivos de conmutación usados en circuitos integrados CMOS.

### 3.1 Características Básicas MOSFET

El símbolo del circuito para un MOSFET canal-n (nFET o nMOS) es mostrado en la figura 3.1. El MOSFET es un dispositivo de 4 terminales llamadas Gate, Source, Drain y Bulk. Los voltajes del dispositivo son mostrados en la figura. En general, la terminal gate actúa como el electrodo de control. El valor del voltaje gate-source  $V_{GSn}$  es usado para controlar la corriente  $I_{DN}$  que fluye a través del dispositivo de la terminal drain a la terminal source. El valor actual de  $I_{DN}$  es determinado por ambos,  $V_{GSn}$  y el voltaje drain-source  $V_{DSn}$ . El voltaje source-bulk  $V_{SBn}$  también efectúa el flujo de corriente a un grado inferior.[1]

La figura 3.2 muestra un típico nFET que será usado para el análisis. La región central del dispositivo consta de un subsistema del metal-oxide-semiconductor (MOS) hecho de una región de conducción llamada gate [M], encima de la capa aislada de Dióxido de Silicio [O] mostrada como una región sombreada directamente debajo de la región de conducción, y una capa epitaxial de Silicio [S] tipo p encima de un substrato  $p^+$ . La existencia de esta subestructura del capacitor entre las terminal gate y el semiconductor está implícita por el símbolo del esquemático. Las características I-V del transistor resultan de la física del sistema MOS cuando se acoplan a las re-

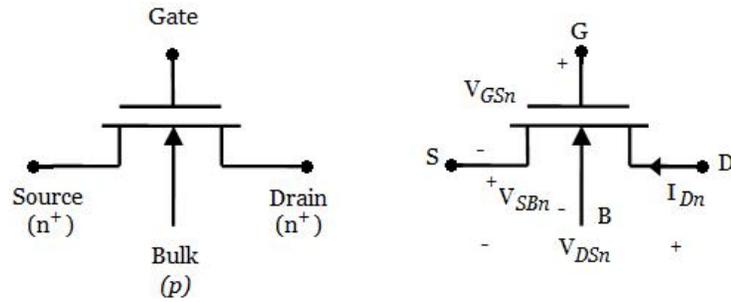


Figura 3.1: Símbolo de un MOSFET canal n.

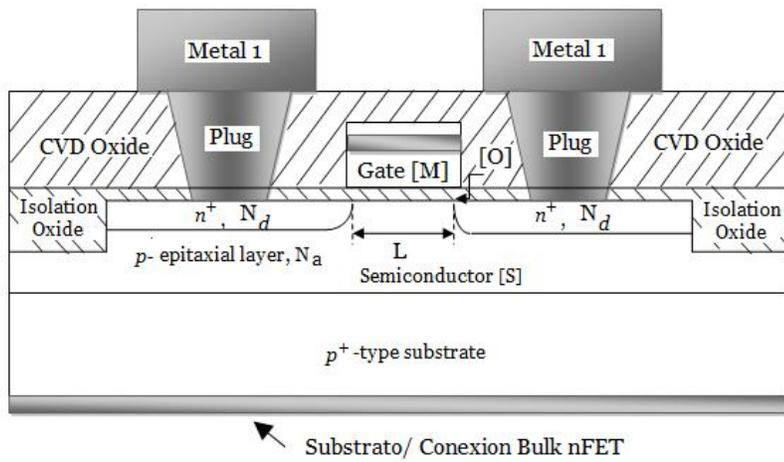


Figura 3.2: Vista de corte transversal de un típico nFET .

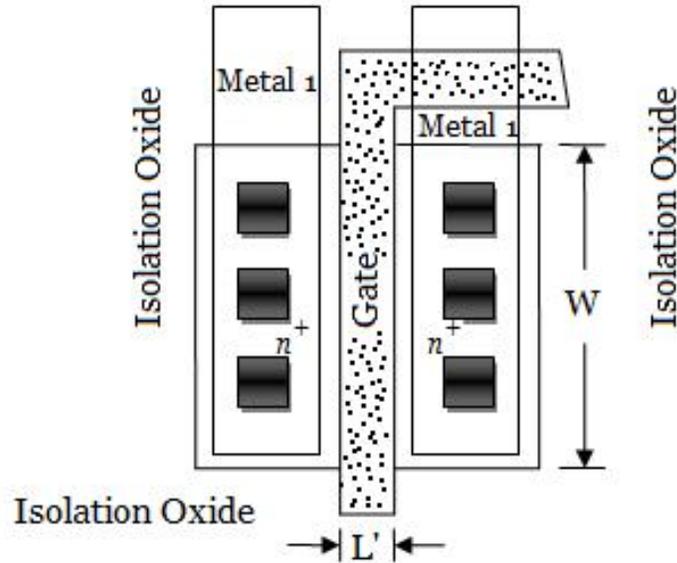


Figura 3.3: Vista superior de un nFET.

giones  $n^+$  en los lados izquierdo y derecho. Las mismas regiones  $n^+$  constituyen las terminales drain y source del MOSFET, mientras que el electrodo bulk corresponde a la conexión eléctrica hecha para el substrato tipo p. La distancia entre las dos regiones  $n^+$  define la longitud del canal  $L$  del MOSFET. La longitud del canal es una de las dimensiones críticas que establece las características eléctricas del dispositivo.

Una vista desde arriba del nFET es mostrada en la figura 3.3. Este dibujo define el ancho del canal  $W$  para el FET, y es el ancho de la región que soporta el flujo de corriente entre las dos regiones  $n^+$ . La proporción ( $W/L$ ) del ancho del canal para la longitud del canal es llamada aspect ratio, y es un importante parámetro en el diseño del circuito. Nota que la vista de arriba muestra la longitud  $L'$  como la distancia visual entre las dos regiones  $n^+$ . Esto es llamado longitud del canal demacrado y es más largo que la longitud del canal eléctrico  $L$ .

Las características I-V de un MOSFET son referenciados al voltaje de umbral  $V_T$  del dispositivo; el valor actual  $V_T$  para un dispositivo particular es puesto en los parámetros de fabricación.

En un MOSFET ideal de canal n, el voltaje gate-source para un valor  $V_{GSn} < V_{Tn}$  coloca al transistor en corte donde el flujo de corriente es cero:  $I_{Dn} = 0$ ; lo cual se muestra en la figura 4.3. Incrementando el voltaje gate-source a un valor donde  $V_{GSn} > V_{Tn}$  permite al transistor conducir corriente  $I_{Dn}$ ; esto define el modo activo

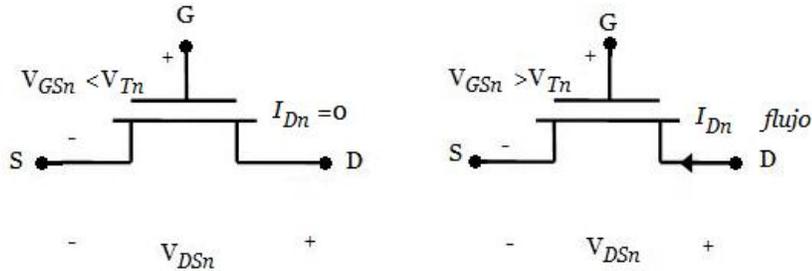


Figura 3.4: Comportamiento general de un nFET con voltajes aplicados.

de operación como se ilustra en la figura 4.3. De esta manera, el valor de  $V_{GSn}$  relativo para  $V_{Tn}$  determina si el transistor es ON (activo) u OFF (sin flujo de corriente). El valor actual de la corriente  $I_{Dn}$  depende de los voltajes aplicados al dispositivo.[1]

## 3.2 Voltaje de Umbral en MOS

La conducción de la terminal drain para la terminal source en un MOSFET es posible debido a la estructura central MOS tiene características de un simple capacitor. El sistema gate-aislante-semiconductor actúa como un capacitor. La lámina superior del capacitor es mostrada como dos capas conduciendo en la región como un típico estado del arte. La capa inferior es Silicio Poli cristalino, lo cual es usualmente llamada polisilicio o simplemente "poly". Poly es usado debido a que proporciona buena cobertura y adhesión, y puede ser dopado con cualquier polaridad. Sin embargo, tiene una resistividad relativamente alta, un metal refractario es un metal con una temperatura alta de fusión, entonces, una capa de metal refractario es depositada arriba; el dibujo muestra titanium (Ti) pero los otros metales refractarios como el platino (Pt) pueden ser usados. El substrato del semiconductor tipo p actúa como la lamina inferior del capacitor. Los únicos aspectos del sistema MOS provienen del hecho que un campo eléctrico puede penetrar una distancia pequeña en un semiconductor, así alterando la distribución de carga en la superficie.

El aislador entre la lamina superior e inferior es dióxido de silicio,  $SiO_2$ , lo cual lo es genéricamente conocido como vidrio de cuarzo. Denotando el espesor del óxido de la terminal gate por  $x_{ox}$  (en unidades de cm) la capacitancia de óxido por unidad de área es dada por la fórmula paralela de láminas paralelas:

$$C_{ox} = \frac{\epsilon_{ox}}{x_{ox}} F/cm^2 \quad (3.1)$$

Donde la permitividad del oxido es  $\varepsilon_{ox} = (3.9)\varepsilon_0 F/cm$  cuando el dióxido de Silicio es usado como aislante en la terminal gate. En esta expresión,  $\varepsilon_0$  es la permitividad en el espacio libre con un valor de  $\varepsilon_0 = 8.854 \times 10^{-14} F/cm$ . Las tecnologías actuales tienen espesores de óxido  $X_{ox}$  menos de aproximadamente  $100\text{Å} = 0.01\mu m$ , dando un valor para  $C_{ox}$  en el orden de  $10^{-7} F/cm^2$  o mas grande. Las líneas de proceso más agresivas tienen óxidos tan delgados como  $50\text{Å}$ . Los óxidos delgados son atractivos porque producen capacitancia aumentada, lo cual lo hará elevar la conducción a través de un MOSFET.

### 3.2.1 Cálculo de Voltaje de Umbral

Considerando un sistema MOS de canal n que es caracterizado por  $x_{ox} = 100\text{Å}$  y  $N_a = 10^{15} cm^{-3}$ . Una terminal gate tipo poly es usada con  $N_{d,poly} = 10^{19} cm^{-3}$ . La carga fija de óxido es aproximada como  $Q_f = q(10^{11}) C/cm^2$  y es el término dominante de carga de óxido, y el ion del aceptor implanta una dosis asumida como  $D_1 = 2 \times 10^{12} cm^{-2}$ . [1]

Para determinar el voltaje de umbral, primero calcularemos el valor de  $C_{ox}$

$$C_{ox} = \frac{\varepsilon_{ox}}{x_{ox}} = \frac{(3.9)(8.854 \times 10^{-14})}{100 \times 10^{-8}} \quad (3.2)$$

Que da  $C_{ox} = 3.45 \times 10^{-7} F/cm$  o  $C_{ox} = 3.45 fF/\mu m$  donde  $1 fF$  (femtofarad) es  $10^{-15} F$ .



# Capítulo 4

---

## Resultados

### 4.1 Introducción

Actualmente, los diseñadores digitales normalmente proceden de las especificaciones de comportamiento al circuito de lógica; pocas veces lo hacen en dirección contraria. Una de esas situaciones se examina aquí: la recuperación de las especificaciones de alto nivel de una popular serie de circuitos lógicos de referencia [14].

El benchmark ISCAS-85 de alto nivel analizado en este documento está disponible a continuación. Los modelos, de los cuales solo se construyó la versión estructural de la partición original del netlist a nivel compuerta en bloques RTL estándar e identificando las funciones de cada bloque. En conjunto, el nivel compuerta y modelos de alto nivel constituyen un conjunto de jerarquía de circuitos de prueba que han demostrado ser herramientas útiles de investigación en varias áreas del diseño digital, incluyendo la generación de pruebas, análisis de la sincronización y la asignación de la tecnología. La documentación para cada modelo consiste en el circuito anotado en diagramas esquemáticos, y las descripciones escritas en Verilog estructurales. Los modelos estructurales tienen por objeto expresar la estructura específica de alto nivel implícito en los diseños originales a nivel compuerta [14].

En este capítulo son presentados los resultados obtenidos de la metodología propuesta en la detección de fallas de aberturas en interconexiones. La metodología emplea información útil para evaluar la detectabilidad de esas fallas. Aplicando vectores de

prueba aleatorios se reducen considerablemente los tiempos en la detección de fallas. La técnica es aplicada al circuito de prueba estandar ISCAS'85 C432[14]. La metodología consiste en dos etapas importantes, la primera emplea la información de capacitancias parásitas de los nodos internos para identificar aquellos que presentan valores capacitivos altos entre ellos. La segunda etapa consiste en aplicar un vector de prueba aleatorio y propagarlo hasta el nodo que presenta la falla. La selección de nodos candidatos se realiza por medio del factor de selección[7].

## 4.2 Circuito Combinacional C432

C432 es un controlador de 27 canales de interrupción que cuenta con 36 entradas y 7 salidas. Los canales de entrada son agrupados en tres buses de 9-bits (llamados A, B y C), donde la posición del bit dentro de cada bus determina la prioridad de solicitud de interrupción. Un bus de 9-bits de entrada (llamado E) habilita y deshabilita las solicitudes de interrupción dentro de la posición del bit respectiva. La figura 4.1 representa el circuito de forma concisa. La figura 4.1 contiene los módulos etiquetados M1, M2, M3, M4 y M5.

El controlador de interrupción tiene tres buses de interrupción A, B y C cada uno con nueve bits o canales, y un canal a habilitar, bus E. El régimen de prioridad se aplica como sigue:  $A[i] > B[j] > C[k]$ , para cualquier  $i, j, k$ , es decir, el bus A tiene la mayor prioridad y el bus C la menor. Dentro de cada bus, un canal con un índice alto tiene prioridad sobre uno con un índice mas bajo; por ejemplo,  $A[i] > A[j]$ , si  $i > j$ . Si  $E[i] = 0$ , entonces las entradas  $A[i]$ ,  $B[i]$  y  $C[i]$  se discriminan.

Las siete salidas PA, PB, PC y Chan [3 : 0] especifican que canales han reconocido las solicitudes de interrupción. Sólo el canal de la más alta prioridad en el bus de interés más alta prioridad es reconocido. Una excepción es que si dos o más solicitudes producen interrupciones en el canal que se reconoce, cada bus se reconoce. Por ejemplo, si A[4], A[2], B[6] y C[4] tienen solicitudes pendientes, A [4] y C [4] son reconocidas. El modulo M5 es un codificador con prioridad de 9 a 4 líneas. La línea de salida numero 421 actualmente produce la respuesta invertida Chan[3] la cual se muestra en la tabla de verdad. Podemos agregar un inversor a la salida 421 para formar Chan[3] por esta tabla [15].

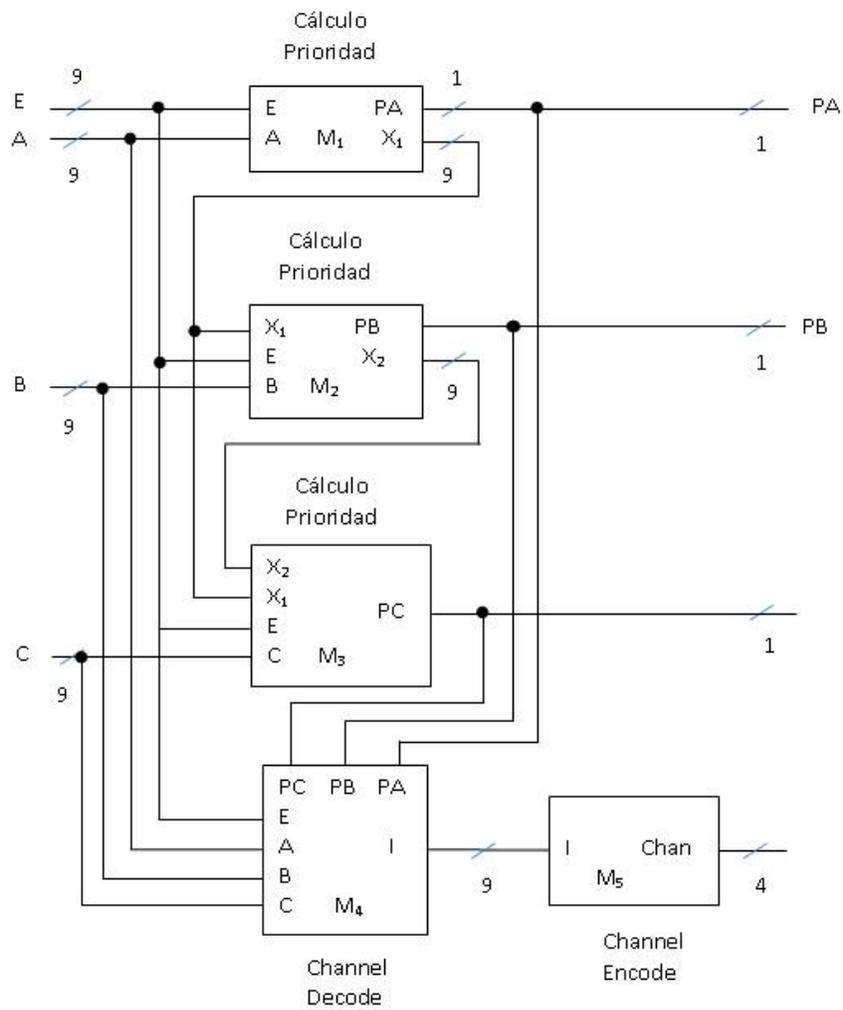


Figura 4.1: Modelo de nivel alto del controlador de interrupción C432.

La figura 4.2 muestra las coordenadas X-Y, las cuales fueron tomadas del circuito layout. En esta gráfica se agregó una tercera coordenada haciendo la gráfica tridimensional. La coordenada Z indica el número de líneas acopladas para cada nodo del circuito ISCAS'85 C432. En la grafica podemos observar la variabilidad de número de líneas acopladas para cada nodo. Los datos de las coordenadas X-Y fueron tomados del circuito layout para su estudio.

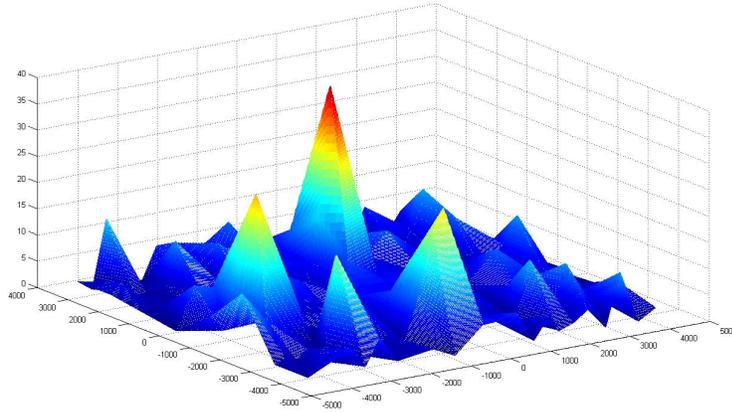


Figura 4.2: Numero de líneas acopladas para cada nodo.

La figura 4.2 nos muestra el número de líneas acopladas que tiene cada nodo. Observamos que un porcentaje mayor de líneas se encuentran entre 5 y 10 líneas acopladas, por lo que esperamos voltajes pequeños. También podemos apreciar que la mayoría de estos se encuentran menores a las 10 líneas acopladas, por lo que se esperaría una suma total de las capacitancias parásitas muy pequeña.

La grafica 4.3 muestra las coordenadas X-Y tomadas similarmente del circuito layout. La coordenada Z indica el voltaje en el nodo ( $V_{if}$ ). Observamos en la grafica que generalmente entre más líneas acopladas tenga el nodo, mas alta será la probabilidad de tener un voltaje más grande aunque no se garantiza debido a que se utiliza un vector de prueba aleatorio.

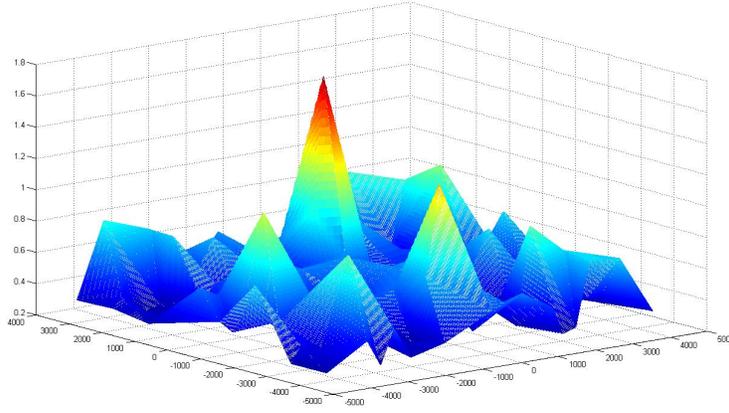


Figura 4.3: Voltajes  $V_{if}$  para cada nodo del circuito c432.

La figura 4.3 nos muestra los voltajes  $V_{if}$  para cada nodo correspondiente al circuito c432 con vectores de prueba aleatorios, en la cual podemos observar que la mayoría de los voltajes  $V_{if}$  son pequeños dando valores menores a los  $0.7V$ .

Podemos observar que dichos voltajes  $V_{if}$  de los nodos con vectores de prueba aleatorios, nos dan un porcentaje mayor al 80% que están debajo de los  $0.7V$ .

La figura mostrada arriba, la cual, representa las coordenadas x-y del circuito c432, donde el eje Z representa los nodos con acoplamientos capacitivos se obtuvo de la evaluación de las probabilidades y voltajes para cada nodo.

Las siguientes ecuaciones fueron aplicadas para la obtención del voltaje en el nodo flotante. Donde se toman en cuenta todas las capacitancias de la compuerta.

$$V_{if} = \frac{C_{gsop} + C_{pw}}{C_T} V_{DD} + \frac{C_{gdon} + C_{dop}}{C_T} V_0 - \frac{Q_{GT}}{C_T} + \frac{C_r^1}{C_T} V_{DD} + \frac{C_c}{C_T} V_{DD} \quad (4.1)$$

$$C_t = C_{gson} + C_{gdon} + C_{gsop} + C_{gdop} + C_{pw} + C_{pb} + C_r^0 + C_r^1 + C_c \quad (4.2)$$

#### 4.2.1 Modulos del circuito C432

El circuito combinacional c432 perteneciente a los ISCAS'85 fue tomado para calcular las probabilidades para detectar fallas stuck-at el cual se compone de cinco modulos. Los modulos se muestran a continuación, junto con ellos, se indica la probabilidad de que se tenga un 1 ó un 0.

El circuito combinacional c432 perteneciente a los circuitos ISCAS'85 Benchmark se conforma de 5 módulos internos, integrándose de compuertas lógicas que en total dan una suma de 160 compuertas.

El circuito fue estudiado por módulos para tener una facilidad de manejo sobre ellos, y calcular la probabilidad de ocurrencias de 1's y 0's.

La figura muestra la estructura interna del modulo 1, los nombres de los nodos correspondientes y así, como también las entradas y salidas, todas con la probabilidad de ocurrencia de 1's y 0's.

La probabilidad de que ocurra un 1 ó un 0, dependerá de la estructura interna del módulo y de sus entradas y salidas. El módulo 1 fue analizado para obtener las probabilidades mencionadas, arrojando los siguientes resultados.

Como se observa en la figura del modulo 1, las entradas primarias  $A[n]$  y  $E[n]$  se consideran con las mismas probabilidades de tener un 1 ó un 0, debido a que son primarias, es decir:

$$A[n] = 0.5^1 \quad (4.3)$$

$$A[n] = 0.5^0 \quad (4.4)$$

$$E[n] = 0.5^1 \quad (4.5)$$

$$E[n] = 0.5^0 \quad (4.6)$$

La entrada primaria  $A[n]$ , llega a una compuerta NOT para ser propagada, lo cual quiere decir que la salida de la compuerta NOT tendrá la misma probabilidad de ocurrencias, es decir:

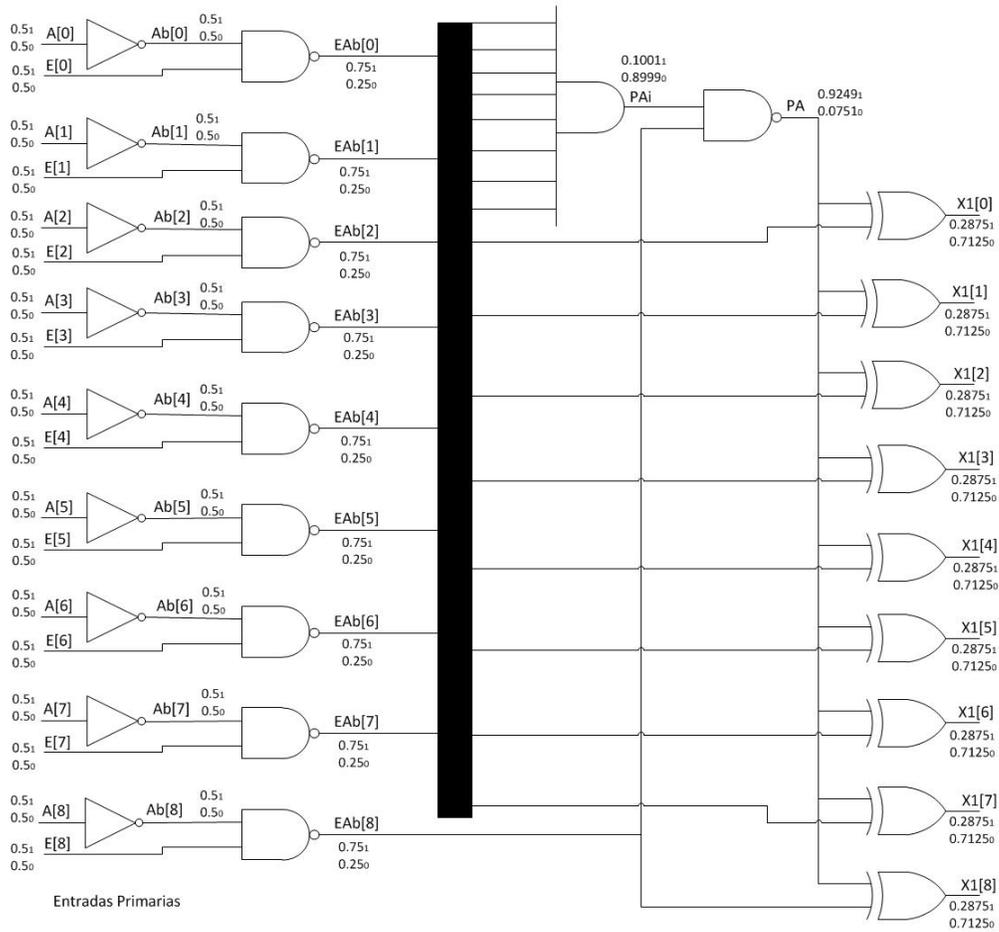


Figura 4.4: Modulo 1

$$Ab[n] = 0.5^1 \quad (4.7)$$

$$Ab[n] = 0.5^0 \quad (4.8)$$

Ahora los nodos  $Ab[n]$  y  $E[n]$ , entran a una compuerta NAND, donde las probabilidades de tener 1's ó 0's será delimitada por la tabla de verdad de dicha compuerta.

Ab[n]	E[n]	Ab[n]	E[n]	Probabilidades	NAND
0	0	$0.5^0$	$0.5^0$	0.25 <sup>1</sup> %	1
0	1	$0.5^0$	$0.5^1$	0.25 <sup>1</sup> %	1
1	0	$0.5^1$	$0.5^0$	0.25 <sup>1</sup> %	1
1	1	$0.5^1$	$0.5^1$	0.25 <sup>0</sup> %	0

Tabla 4.1: Tabla de verdad de la compuerta  $NAND2_1$  y sus porcentajes

La tabla muestra las combinaciones posibles para una compuerta NAND de dos entradas, junto con sus probabilidades de tener 1's y 0's en la salida. Podemos observar que para la compuerta NAND hay tres posibles combinaciones en las que resulta un 1 y solamente una combinación para tener un 0. Lo anterior, indica que la suma de las 3 combinaciones dará la probabilidad de tener un 1 en la salida. En otras palabras:

$$EAb[n] = 0.25 + 0.25 + 0.25 = 0.75^1 \quad (4.9)$$

$$EAb[n] = 0.25^0 \quad (4.10)$$

Siguiendo con la estructura interna del modulo 1, tenemos que las salidas de las compuertas NAND a excepción de la salida  $EAb[8]$ , como se muestra en la figura, entran a una compuerta AND de 8 entradas. En este caso serian  $2^8 = 256$  posibles combinaciones que, siendo solo una de ellas la combinación para arrojar un 1 a la salida como lo muestra la tabla.

EAb[0]	EAb[1]	EAb[2]	EAb[3]	EAb[4]	EAb[5]	EAb[6]	EAb[7]	AND
0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	0
0	0	0	0	0	0	1	0	0
0	0	0	0	0	0	1	1	0
⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮	⋮
1	1	1	1	1	1	1	1	1

Tabla 4.2: Tabla de verdad de la compuerta  $NAND2_1$  y sus porcentajes

La probabilidad de tener un 1 a la salida, esta expresada por la siguiente ecuación.

$$PAi[n] = 0.75 + 0.75 + 0.75 + 0.75 + 0.75 + 0.75 + 0.75 + 0.75 = 0.1001^{(4.11)}$$

Y por consiguiente la probabilidad de tener un 0 es la suma de todas las demas combinaciones ó lo que sería igual a:

$$PAi = 0.8999^0 \quad (4.12)$$

La salida  $PAi$ , al igual que la salida  $EAb[8]$  entran a una compuerta NAND de 2 entradas. La tabla se muestra a continuación.

PAi	EAb[8]	PAi	EAb[8]	Probabilidades	NAND
0	0	0.8999 <sup>0</sup>	0.25 <sup>0</sup>	0.225 <sup>1</sup> %	1
0	1	0.8999 <sup>0</sup>	0.75 <sup>1</sup>	0.6749 <sup>1</sup> %	1
1	0	0.1001 <sup>1</sup>	0.25 <sup>0</sup>	0.025 <sup>1</sup> %	1
1	1	0.1001 <sup>1</sup>	0.75 <sup>1</sup>	0.0751 <sup>0</sup> %	0

Tabla 4.3: Tabla de verdad de la compuerta  $NAND_2$  y sus porcentajes

De la tabla podemos deducir la probabilidad de ocurrencia de 1's y 0's para la salida PA.

$$PA = 0.225 + 0.6749 + 0.025 = 0.9249^1 \quad (4.13)$$

$$PA = 0.0751^0 \quad (4.14)$$

Y finalmente, las salidas  $EAb[n]$  combinadas cada una con la salida PA, entran a una compuerta XOR, con los datos ya calculados, se obtiene:

PA	EAb[n]	PA	EAb[n]	Probabilidades	XOR
0	0	0.0751 <sup>0</sup>	0.25 <sup>0</sup>	0.0188 <sup>0</sup> %	0
0	1	0.0751 <sup>0</sup>	0.75 <sup>1</sup>	0.0563 <sup>1</sup> %	1
1	0	0.9249 <sup>1</sup>	0.25 <sup>0</sup>	0.2312 <sup>1</sup> %	1
1	1	0.9249 <sup>1</sup>	0.75 <sup>1</sup>	0.6937 <sup>0</sup> %	0

Tabla 4.4: Tabla de verdad de la compuerta  $NAND_2$  y sus porcentajes

Sumando las probabilidades para que resulte un 1 y un 0, tenemos:

$$X1[n] = 0.0563 + 0.2312 = 0.2875^1 \quad (4.15)$$

$$X1[n] = 0.0188 + 0.6937 = 0.7125^0 \quad (4.16)$$

Con estos resultados se concluye el cálculo para el modulo 1. Ahora se continua haciendo el mismo procedimiento para obtener las probabilidades de 1's y 0's en los modulos siguientes como se muestra a continuación.

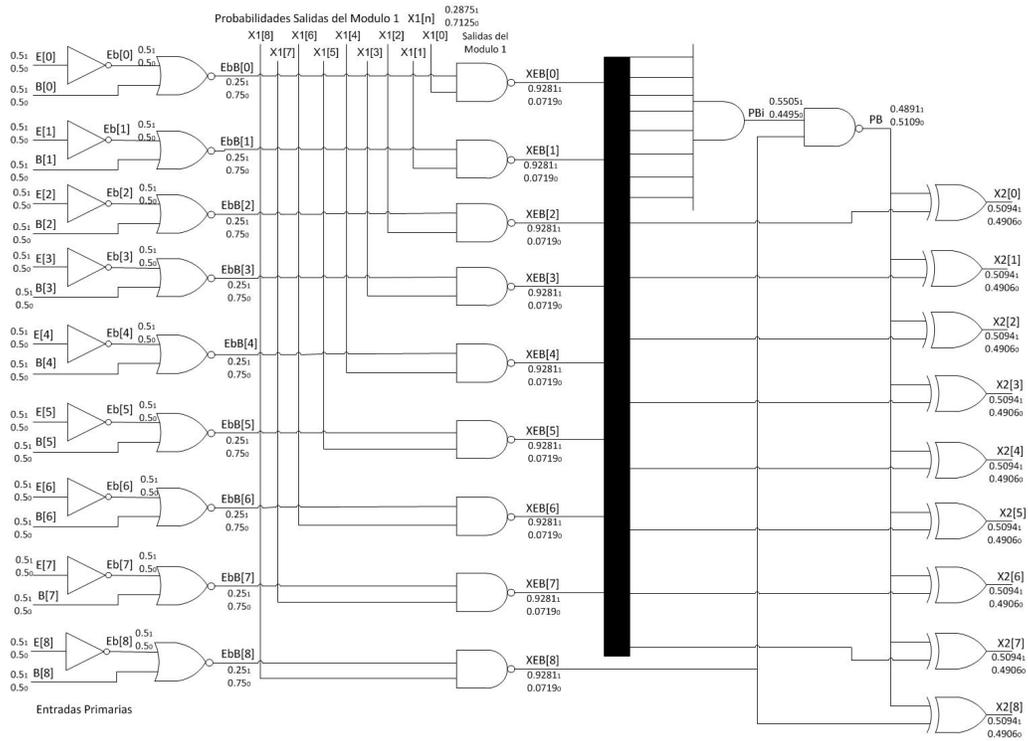


Figura 4.5: Modulo 2

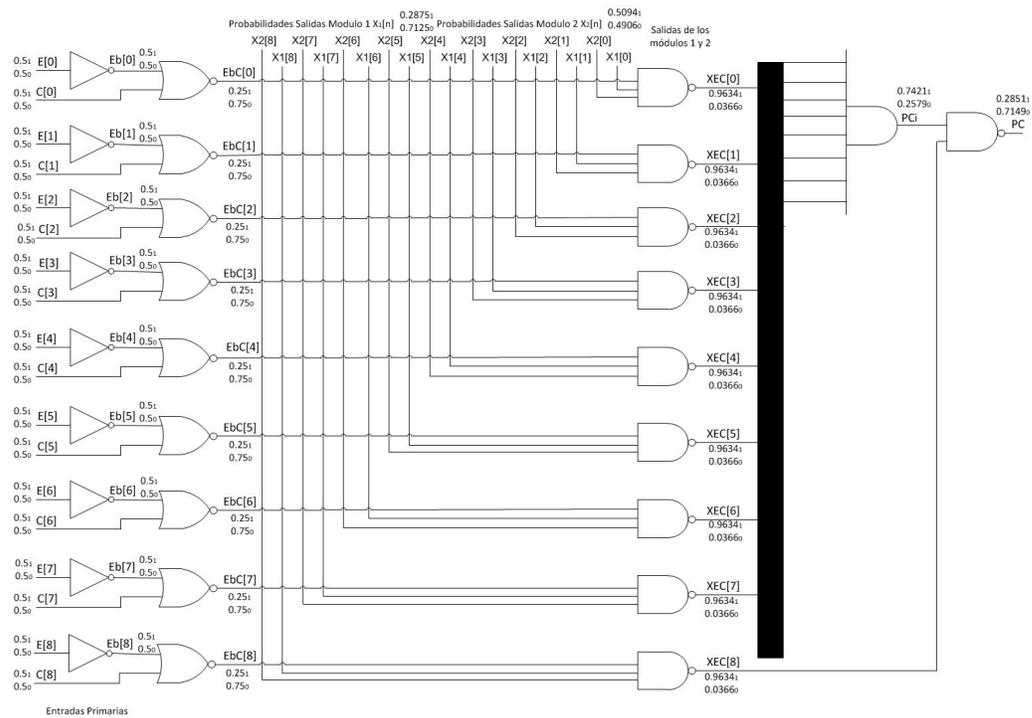


Figura 4.6: Modulo 3

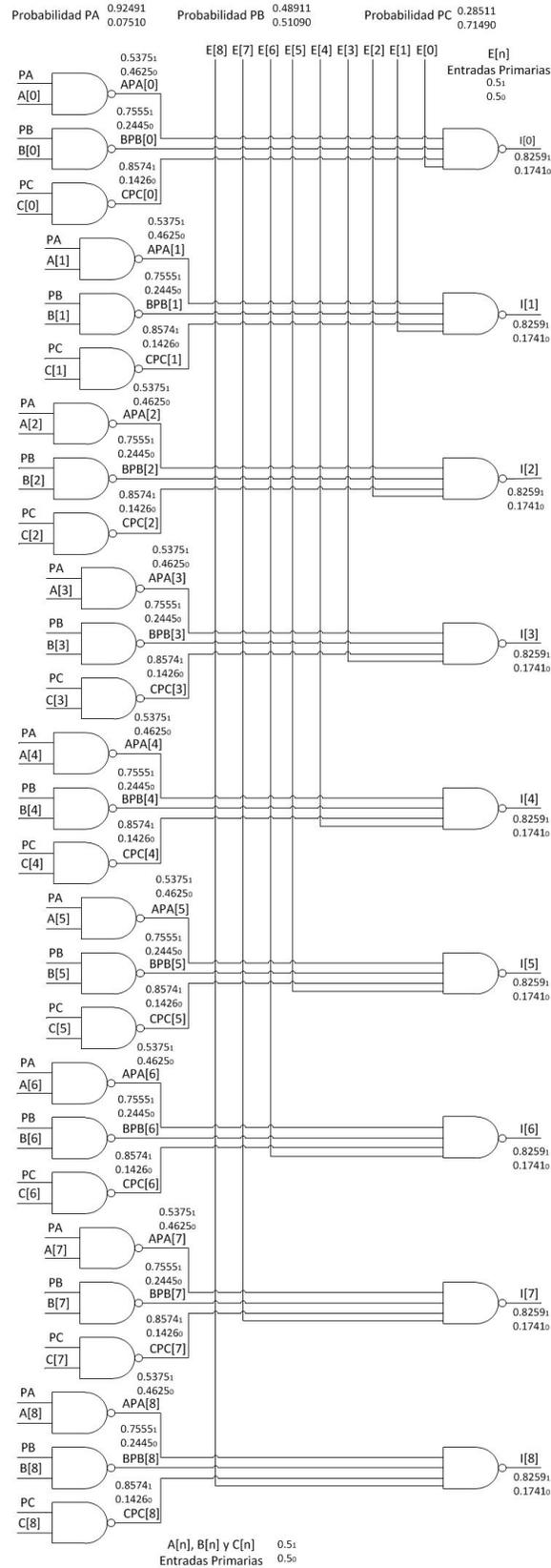


Figura 4.7: Modulo 4

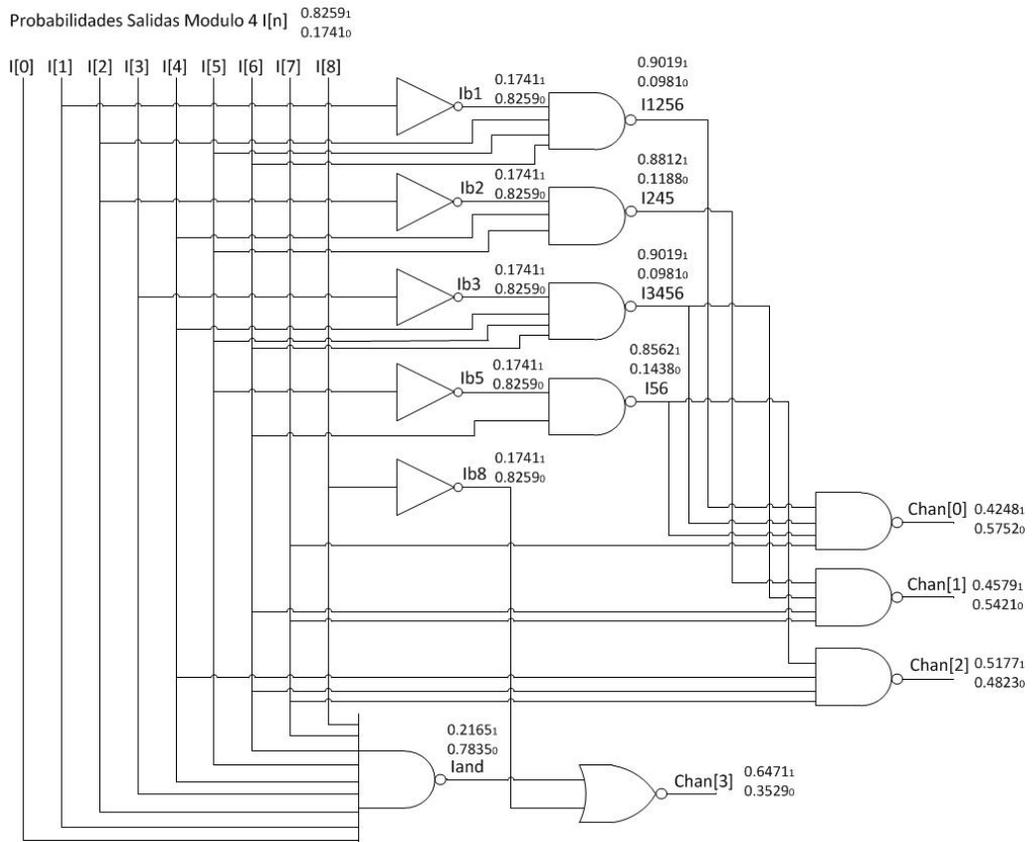


Figura 4.8: Modulo 5

### 4.2.2 Factor de Selección

En la primera etapa se aplica el factor de selección para seleccionar a los nodos que serán utilizados para emplear las capacitancias parasitas que estos presenten.

El factor de selección se define como:

$$FS = (C_{V_{DD}} + C_{V_{GND}})(\%) \quad (4.17)$$

donde:

$C_{V_{DD}}$  = Capacitancia a Voltaje.

$C_{V_{GND}}$  = Capacitancia a tierra.

% = Porcentaje de Selección.

El procedimiento para emplear la ecuación de factor de selección a un nodo específico es el siguiente:

Como primer paso se debe de tener claro el nodo a estudiar, así como identificar sus nodos acoplados. Después, para la selección se deben de considerar sus capacitancias a voltaje y a tierra respectivamente. Seguido de esto se puede empezar a desarrollar la ecuación sumando las capacitancias antes mencionadas. Para finalizar se multiplica el resultado por el porcentaje de selección el cual puede tomar los siguientes valores: 0.2, 0.4, 0.6, 0.8 y 1.

El número de nodos acoplados depende de la selección del porcentaje, cuanto mayor sea el porcentaje de selección se verá más reducido el número de nodos acoplados en la línea afectada.

Por ejemplo:

El nodo M1/X17/Y de la figura 4.9 tiene 4 nodos acoplados con valores capacitivos tales como se muestran en la tabla 4.5. Aplicando el factor de selección con un porcentaje del 1% resulta la siguiente expresión.

$$FS = (3.9699e - 15 + 2.5003e - 15)(1\%) \quad (4.18)$$

$$FS = 6.4702e - 15 \quad (4.19)$$

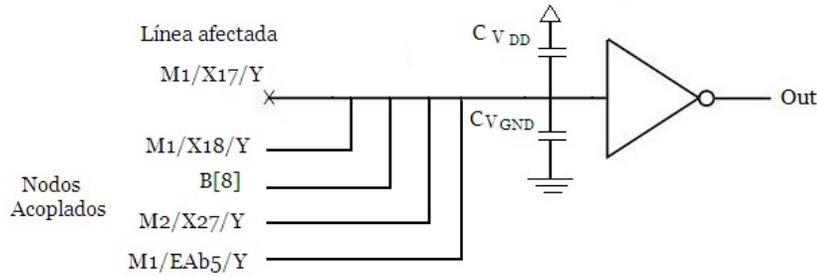


Figura 4.9: Nodo M1/X17/Y con nodos acoplados.

Con este resultado solo tomaremos en cuenta los nodos acoplados que sean mayores o iguales al  $FS = 6.4702e - 15$ , lo cual minimiza el número de nodos acoplados y se reduce considerablemente el número de nodos a estimar a un 25%. El nodo  $M1/X18/Y = 7.12929e - 15$  es el único nodo resultante debido a que es mayor al valor del factor de selección mientras que los demás se desprecian por ser menores al FS.

Capacitancia	Valor (fF)
$C_{VDD}$	$3.9699e$
$C_{GND}$	$2.5003e$
M1/X18/Y	$7.12929e$
B[8]	$2.13926e$
M2/X27/Y	$1.51276e$
M1/EAb5/Y	$1.41015e$

Tabla 4.5: Valores capacitivos para el nodo M1/X17/Y

La segunda etapa consiste en calcular a los nodos resultantes del factor de selección el voltaje en el nodo flotante  $V_{if}$ , el cual se define mediante la siguiente ecuación.

$$V_{if} = \frac{C_{c1} \cdot P(1) + C_{c2} \cdot P(1) + \dots + C_{cn} \cdot P(1)}{C_{ct}} \quad (4.20)$$

donde:

- $V_{if}$  = Voltaje en el nodo flotante
- $C_{c1}$  = Capacitancia del nodo acoplado 1
- $C_{c2}$  = Capacitancia del nodo acoplado 2
- $C_{cn}$  = Capacitancia del nodo acoplado n
- $P(1)$  = Probabilidad de ocurrencia de 1 de cada nodo.

$C_{ct}$  = Suma de Capacitancia total.

La tabla 4.6 muestra los nodos afectados (víctima) así como sus nodos acoplados (agresores) con sus respectivas capacitancias. Se muestra el número total de nodos víctima considerando el factor de selección en un 100% y la probabilidad de ocurrencia de 1's y 0's.

Víctima	P(1)	P(0)	Agresor	P(1)	P(0)	Agresor	P(1)	P(0)
M1/X13/Y	0.2875	0.7125	M1/X12/Y	0.2875	0.7125			
M3/XEC0	0.9634	0.0366	M3/XEC1/Y	0.9634	0.0366	M2/X26/Y	0.5094	0.4906
M1/EAb3/Y	0.75	0.25	C[0]	0.5	0.5			
M3/XEC1/Y	0.9634	0.0366	M3/XEC0/Y	0.9634	0.0366	M3/XEC2/Y	0.9634	0.0366
B[2]	0.2875	0.7125	B[3]	0.5	0.5			
M3/XEC2/Y	0.9634	0.0366	M3/XEC1/Y	0.9634	0.0366			
B[3]	0.2875	0.7125	B[2]	0.5	0.5			
M1/X16/Y	0.9634	0.0366	E[6]	0.5	0.5	M1/X15/Y	0.2875	0.7125
M2/XEB4/Y	0.2875	0.7125	M2/XEB5/Y	0.9281	0.0719			
M1/X17/Y	0.9634	0.0366	M1/X18/Y	0.2875	0.7125			
M3/XEC4/Y	0.2875	0.7125	M3/XEC3/Y	0.9634	0.0366	M2/XEB7/Y	0.9281	0.0719
M2/XEB5/Y	0.9634	0.0366	M2/X26/Y	0.5094	0.4906			
M1/X18/Y	0.2875	0.7125	M1/X17/Y	0.2875	0.7125			
M3/XEC5/Y	0.9634	0.0366	M3/XEC6/Y	0.9634	0.0366			
M1/EAb1/Y	0.2875	0.7125	E[2]	0.5	0.5			
M1/X12/Y	0.9634	0.0366	M1/X13/Y	0.2875	0.7125			

Tabla 4.6: Relación de nodos acoplados considerando el 100% del circuito c432

### 4.3 Simulación

El software Orcad versión 9.2 fue usado para simular una compuerta NOT con acoplamientos capacitivos. Para simular la compuerta NOT, fue necesario encontrar el voltaje donde la compuerta hacia el cambio de estados lógicos, es decir, invertía la señal de entrada obteniendo en la salida el estado lógico contrario. La figura muestra el circuito usado para la implementación de la compuerta NOT con la finalidad de conocer el funcionamiento interno.

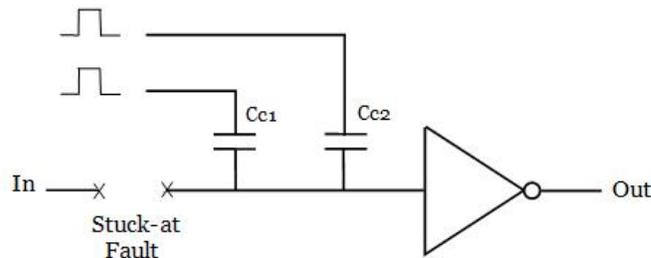


Figura 4.10: Circuito implementado con acoplamientos capacitivos.

Se realizaron los ajustes apropiados para la simulación, haciendo un analisis en DC sweep con valores de 1.8V a 2.1V incrementando con 0.1V. Los resultados de la simulación se muestran en la figura 4.11.

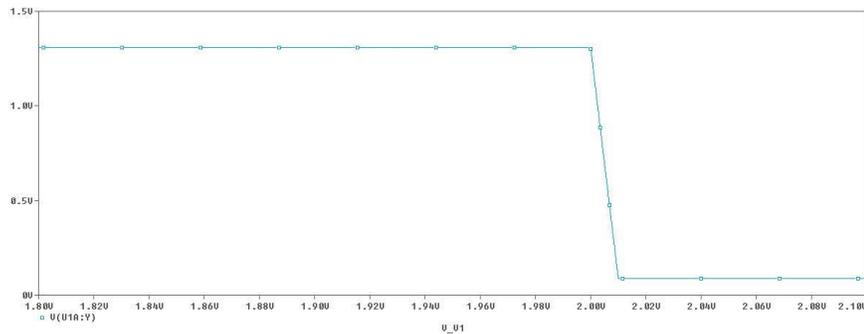


Figura 4.11: Resultados del funcionamiento interno de la compuerta NOT.

La figura 4.11 obtenida de la simulación muestra los resultados obtenidos de la implementación de una compuerta NOT. La línea muestra cuando el estado lógico es conmutado, donde el voltaje de la entrada es invertido a la salida. Podemos observar que con valores mayores a los 2V, la compuerta NOT toma un estado lógico alto, mientras que con valores inferiores a los 2V, la compuerta NOT interpreta un estado lógico bajo.

El circuito usado para simular una falla en interconexión abierta con acoplamiento capacitivos, se muestra en la figura. Los valores de las capacitancias son  $C_{c1} = 2.35045fF$  y  $C_{c2} = 1.8536fF$ , la entrada es un tren de pulsos con frecuencia de 1 kHz y 500 Hz respectivamente.

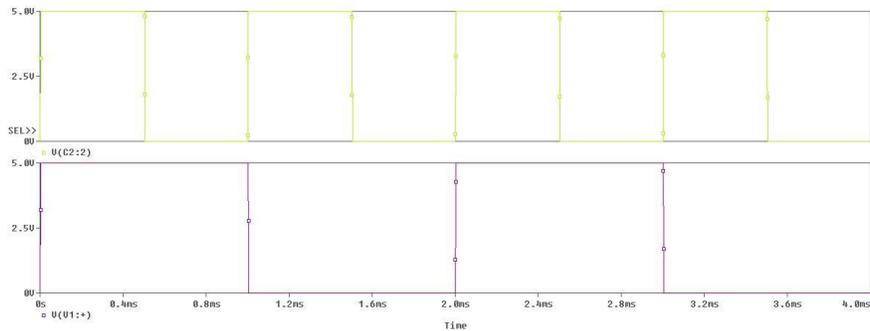


Figura 4.12: Tren de pulsos con frecuencias de 1 kHz y 500 Hz.

Los efectos de los acoplamientos capacitivos en el nodo flotante se pueden observar en la figura 4.13. La transición de alto a bajo o viceversa produce diferentes valores de voltajes en la línea afectada. El primer cuadro en la figura 4.13 representa el voltaje inducido por las líneas acopladas. El segundo cuadro representa la salida de la compuerta NOT. La salida muestra un paso de voltaje antes de alcanzar un estado lógico alto.

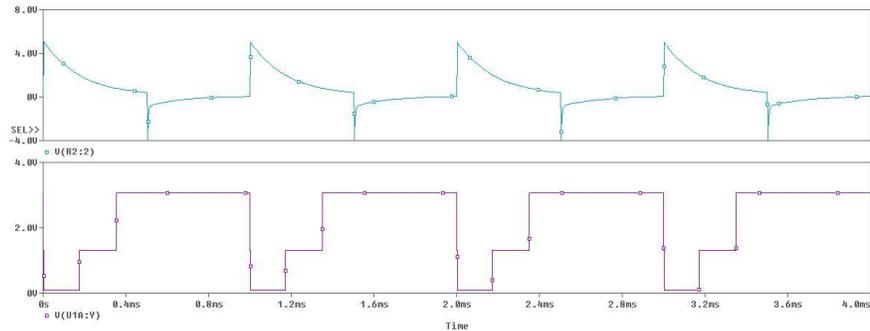


Figura 4.13: Efectos de los acoplamientos capacitivos en el nodo flotante.



# Capítulo 5

---

## Conclusiones

En virtud de la búsqueda de un modelo de detección de fallas se probó exitosamente el esquema propuesto por stuck-at en circuitos VLSI de la familia ISCAS'85, particularmente en los circuitos Benchmark C17 y C432. Las probabilidades que se calcularon según el modelo nos ayudan en la detección de fallas.

Como nos dice la Ley de Moore, el número de transistores en un solo chip será doblado con el paso de los años. En consecuencia, la distancia entre las líneas se hace cada vez menor, produciendo efectos de acoplamiento. Es por eso que es importante tomar en consideración los acoplamientos capacitivos.

De los resultados obtenidos mostrados en la tabla 4.6 se puede observar que para una falla del tipo stuck-at 1 más del 65% de las fallas pueden ser detectadas. Esto es logrado sin invertir grandes cantidades de tiempo de cómputo buscando y generando vectores de prueba óptimos para fallas específicas. En pruebas de circuitos con técnicas convencionales, para el mismo factor de acoplamiento obtiene una cobertura del 50% para el mismo factor de acoplamiento. Las pruebas realizadas en [7] para el mismo factor de selección se obtiene el 68% de cobertura.

La presente metodología puede ser generalizada a toda la familia de los ISCAS'85. Esto es gracias a que se trata de circuitos estándar y de referencia, los cuales se constituyen solamente de compuertas lógicas. Ya probada la metodología podemos tener mayor confiabilidad para aplicarla en los demás circuitos combinacionales

pertenecientes a los ISCAS'85.

Esta investigación ha planteado nuevas líneas de desarrollo que complementaran con la metodología aquí propuesta. Una de ellas es el cálculo de probabilidades en detección de fallas para toda la gama de circuitos ISCAS'85. Siguiendo con la automatización del proceso para agilizar la aplicación del método. Una propuesta para la automatización es la creación de software que proporcione los resultados de manera eficiente.

# *Bibliografía*

- [1] John P. Uyemura, 2002 *CMOS LOGIC CIRCUIT DESIGN*, Georgia Institute of Technology.
- [2] Wai-Kai Chen 2007 *The VLSI Handbook Second Edition* University of Illinois Chicago, USA.
- [3] Michael L. Bushnell, Vishwani D. Agrawal 2002 *Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits* Rutgers University, Bell Labs, Lucent Technologies.
- [4] Yuan Taur, Tak H. Ning 2002 *Fundamentals of Moderns VLSI Devices* Cambridge University.
- [5] Artés Rodríguez, A; Pérez González, F.; Cid Sueiro, J; López Valcarce, R; Mosquera Nartallo, C; Pérez Cruz, F. 2007 *Comunicaciones Digitales* Pearson Educación S.A., Madrid.
- [6] Design and Evaluation of Hardware Pseudo-Random Number Generator MT19937, Shiro KONUMA.
- [7] R. Gómez, A. Giron and V. Champac, 2008 *A test generation methodology for interconnection opens considering signals at the coupled lines*.
- [8] Neil H.E. Weste, David Harris, *CMOS VLSI DESIGN A circuits and systems perspective* Third Edition.

- 
- [9] Kishor S. Trivedi, *Probability and Statistics with Reliability, Queuing, and Computer Science Applications* 2nd Edition.
- [10] Morris H. Degroot, Mark J. Schervish, *Probability and Statistics* 3rd Edition.
- [11] Roy D. Yates, David J. Goodman, *Probability and Stochastic Processes. A friendly introduction for electrical and computer engineers* Third Edition.
- [12] A. Ya. Dorogovtsev, D. S. Silvestrov, A. V. Skorokhod, M. I. Yadrenko, *Probability Theory collection of problems*. Third Edition.
- [13] Wilbur B. Davenport, Jr., *Probability and random processes*.
- [14] <http://www.eecs.umich.edu/~jhayes/iscas/benchmark.html>
- [15] <http://www.eecs.umich.edu/~jhayes/iscas/c432.html>
- [16] <http://www.eecs.umich.edu/~jhayes/iscas/c432.v>