

UNIVERSIDAD DE SONORA

DIVISIÓN DE CIENCIAS EXACTAS Y NATURALES
DEPARTAMENTO DE INVESTIGACIÓN EN FÍSICA
INGENIERIA EN TECNOLOGIA ELECTRONICA



“SISTEMA DE CARACTERIZACIÓN C-V DE DISPOSITIVOS ELECTRÓNICOS”

Tesis profesional presentada por

Isidro Granillo Vargas

Como requisito para obtener el título de

INGENIERO EN TECNOLOGÍA ELECTRÓNICA

Directores de Tesis:

Dra. Alicia Vera Marquina

Dr. Armando G. Rojas Hernández

Universidad de Sonora

Repositorio Institucional UNISON



"El saber de mis hijos
hará mi grandeza"



Excepto si se señala otra cosa, la licencia del ítem se describe como openAccess

A MIS PADRES:

POR TODO EL APOYO QUE ME

BRINDARON LOS QUIERO MUCHO, GRACIAS.

A g r a d e c i m i e n t o s

Primera mente agradezco a la Universidad de Sonora y al Programa de Ingeniería en Tecnología Electrónica por permitir obtener esta oportunidad de haber formado parte del cuerpo de estudiantes, por facilitarme las instalaciones y equipo necesarias para la realización de este trabajo.

Quiero agradecer a todas las personas que me brindaron su apoyo a lo largo de este proyecto y de toda la carrera debido a la ayuda de ellos fue gran motivación para la culminación de este trabajo.

Quiero dar las gracias. A la Dra. Alicia por su apoyo incondicional a lo largo de todo el proyecto, por depositar su confianza en mí para realizarlo, durante todos mis estudios profesionales y brindarme su ayuda cuando la requería. Gracias.

Al Dr. Armando por sus comentarios y observaciones a lo largo de esta tesis, fue una parte importante dentro de esta presentación. Gracias.

Al Dr. Dainet por sus aportaciones y observaciones a lo largo de esta tesis, fue una parte importante dentro de esta presentación. Gracias.

Al Dr. Zaldivar por su contribución y colaboración en el suministro de datos necesarios para la realización de la parte empírica de esta investigación. Gracias.

Quiero Agradecer a la Dra. Milka por haber sido mi maestra fue una gran orientadora, motivadora y le agradezco el apoyo recibido a lo largo de estos años. Al Dr. Benito por sus grandes sugerencias emitidas como asesor. Al Dr. Roberto por haber transmitido conocimiento referente a la electrónica. Al Dr. Alejandro por brindarme muchas de las facilidades a lo largo de su estancia como coordinador del programa. Gracias.

Quiero Agradecer al Ing. Luis Alonso por haber sido colaborador importante en el proyecto de mi tesis siempre estuvo dispuesto a apoyarme y ofrecer diferente punto de vista para la culminación de mi tesis. Gracias.

Quiero Agradecer a Mis Padres por brindarme siempre de su apoyo incondicional y total a lo largo de toda mi vida ya que sin ellos difícilmente hubiera logrado estar en donde me encuentro. Doy Gracias a mis Hermanos que me impulsaron a estar siempre concentrado y enfocado en mis estudios y por su apoyo incondicional Los Quiero Mucho. Gracias.

Por último quiero darle las gracias a todos mis compañeros y amigos que siempre estuvieron a mi lado a lo largo de todo el programa que me apoyaban, aconsejaban y sobre todo guiaban en el proyecto de mi carrera, por todos los momentos compartidos que serán inolvidables. Gracias.

Índice

Capítulo 1	7
Introducción	7
1.1 Antecedentes y Justificación	8
1.2 Objetivo	8
1.3 Organización de la tesis	9
Capítulo 2	10
Dispositivos Semiconductores	10
2.1 Introducción	10
2.2 El capacitor	10
2.3 Materiales Semiconductores	12
2.4 Diodos semiconductores	13
2.4.1 Sin polarización aplicada ($V_D = 0\text{ V}$)	14
2.4.2 Condición de polarización inversa ($V_D < 0\text{ V}$)	15
2.4.3 Condición de polarización directa ($V_D > 0\text{ V}$)	16
2.5 Capacitancia en diodos de unión	17
2.5.1 La capacitancia de unión	19
2.5.2 Medición de capacitancia y extracción de parámetros	19
2.6 El Capacitor MOS	20
2.6.1 Técnica de medición C-V	21
2.6.2 Principios básicos de capacitores MOS	22
2.6.2.1 Región de acumulación	23
2.6.2.2 Región de agotamiento	24
2.6.2.3 Región de inversión	24
2.6.2.4 Parámetros en transistores MOS	25
2.6.2.5 Módulo de prueba del perfil dopante	26
2.6.2.6 Extracción de parámetros MOS de las mediciones C-V	27
Capítulo 3	32
Instrumentación, Programación y Funcionamiento	32
3.1 Introducción	32
3.2 Descripción del funcionamiento e instrumentación	32
3.2.1 Medidor de capacitancias	33
3.2.2 Conexiones	33
3.2.2.1 Configuración de las terminales	34

a) Configuración de cuatro terminales	34
b) Configuración de par de cuatro terminales	35
3.3 Fuente de voltaje externa	38
3.4 Interfaz USB/GPIB	39
3.5 Arreglo experimental	39
3.6 Descripción del programa	40
Capítulo 4	43
Medición de Capacitancia	43
4.1 Introducción	43
4.2 Medición de un capacitor	43
4.3 Medición de un diodo	44
4.4 Medición de MOSFETs	46
4.5 Medición C-V sobre obleas de silicio	49
4.5.1 Extracción de parámetros MOS de las mediciones C-V	51
4.5.1.1 Medición del espesor del óxido a partir de la curva C-V	51
4.5.1.2 Densidad de dopado	52
4.5.1.2 Capacitancia de banda plana y voltaje de banda plana	53
4.5.1.3 Voltaje de umbral	54
Capítulo 5	56
Conclusiones	56
Referencias	58
Apéndice A	59
A.1 Programa LabView	59

Capítulo 1

Introducción

En los últimos años, el mundo ha sido testigo de un cambio asombroso en la industria de la electrónica. La miniaturización que se ha logrado nos deja sorprendidos de sus alcances. Sistemas completos aparecen ahora sobre una oblea de silicio, miles de veces más pequeña que un solo elemento de los sistemas iniciales. Los límites de la miniaturización dependen de tres factores: la calidad del material semiconductor, la técnica de diseño y los límites de la manufactura referente al procesamiento.

Las mediciones de capacitancia-voltaje en dispositivos semiconductores ofrecen una riqueza de información acerca de las características de los dispositivos y materiales.

Un procedimiento para caracterizar el espesor de óxido y capas conductoras por ejemplo de aluminio que son crecidas o depositadas en semiconductores se obtiene estudiando las características de un capacitor que es formado de las capas de un conductor-aislante-semiconductor MIS (en inglés Metal-Insulator-Semiconductor) [1]. El mantener la calidad en la fabricación de estructuras MIS depende de los parámetros obtenidos de las curvas de capacitancia-voltaje (C-V) [2-3]. La caracterización C-V es una técnica sencilla que puede ser aplicada a varios tipos de estructuras, tal como diodos, capacitores y sensores optoelectrónicos por ejemplo un fotodiodo de cuatro cuadrantes. En esta tesis se obtiene el espesor del óxido midiendo la capacitancia a diferentes voltajes utilizando un medidor de capacitancia a través de un barrido de voltaje. La curva es obtenida por un sistema de adquisición de datos que utiliza el protocolo GPIB y programación en LabView. Basado en las mediciones de espesor del óxido de un capacitor MOS, es posible medir parámetros del dispositivo, principalmente concentración del dopante del sustrato y otros parámetros.

A través del sistema propuesto, se obtienen las características C-V para diodos y para transistores con estructuras Metal-Óxido-Semiconductor (en inglés MOS) y a partir de estas mediciones se adquieren los parámetros de fabricación de los dispositivos electrónicos.

1.1 Antecedentes y Justificación

Anteriormente, las caracterizaciones eléctricas se hacían de forma manual, y después de ajustar los instrumentos y tomar las lecturas se graficaban las curvas mediante una computadora a la cual se le introducían cada una de las lecturas tomadas y así el procedimiento se tornaba bastante tedioso, con susceptibilidad a errores humanos y llevar algunos días para ser terminado.

En los últimos tiempos, los procesos de lectura con equipo de instrumentación se realizan más rápido automatizando los sistemas ya que una computadora registra las lecturas y control de la instrumentación. Estos sistemas pueden acortar tiempos, abaratar costos y así poder garantizar la calidad de los dispositivos realizando todas las pruebas pertinentes; en la docencia ayudaría a ilustrar mejor las clases de instrumentación; en la ciencia ayudaría a obtener resultados en la creación de nuevas tecnologías de forma más rápida. Con el surgimiento de nuevos instrumentos, estas pruebas han podido llevarse a cabo en un tiempo muy corto y de forma automática.

1.2 Objetivo

El objetivo principal de este trabajo es automatizar un sistema de caracterización de dispositivos electrónicos y materiales para semiconductores, tanto para dispositivos ya encapsulados (comerciales), como para prototipos a nivel sustrato.

Las caracterizaciones se realizarán utilizando instrumentos programables controlados por una computadora a través de una tarjeta controladora de bus GPIB. Esto se lleva a cabo bajo las normas que marca el protocolo de comunicación de instrumentos denominado IEEE-488.

El software utilizado para automatizar el sistema es LabView permite crear un panel frontal del instrumento en la pantalla de la computadora que contiene todo lo necesario para especificar los barridos que deberán realizar la fuente de voltaje y temporizar los incrementos de voltaje.

El software también permitirá mostrar gráficamente los resultados obtenidos de la caracterización generando las curvas características de operación de dispositivos electrónicos así como las de encendido y conducción del dispositivo bajo prueba.

El operador podrá almacenar las lecturas obtenidas por los instrumentos en el archivo que generará la muestra correspondiente a la medición.

1.3 Organización de la tesis

El trabajo de tesis está dividido en 5 capítulos. En el primer capítulo se presenta una introducción de los antecedentes, la justificación y el objetivo que se siguió para desarrollar este proyecto.

El capítulo 2 trata de los dispositivos semiconductores, motivo de este trabajo de tesis, se describe el modo de operación y la importancia de caracterizarlos.

En el capítulo 3 se analiza la instrumentación, programación y funcionamiento. Se presenta también las conexiones de los instrumentos con el dispositivo bajo prueba para llevar a cabo la caracterización, además de cierta descripción del programa en un diagrama de flujo.

En el capítulo 4 se muestran los parámetros que se desean obtener con los valores resultantes de las caracterizaciones realizadas.

En el capítulo 5 se presentan las conclusiones del trabajo de tesis. Al final se incluye un anexo con la lógica del programa que permitió automatizar el sistema.

Capítulo 2

Dispositivos Semiconductores

2.1 Introducción

El término semiconductor revela por sí mismo una idea de sus características. El prefijo semi suele aplicarse a un rango de niveles situado a la mitad entre los límites. El más sencillo de los dispositivos semiconductores es el diodo de unión $p-n$, que desempeña un papel muy importante en los sistemas electrónicos. Las uniones $p-n$ consisten de dos regiones de semiconductores adyacentes de tipo opuesto. Estas uniones muestran un comportamiento peculiar a distintas diferencias de voltaje y son llamados diodos $p-n$.

Los diodos de unión $p-n$ son dispositivos versátiles, los cuales son empleados como elementos rectificadores. Además, pueden ser usados como celdas solares, fotodiodos, LEDs y diodos laser. Éstos también son una parte esencial de transistores de metal-óxido-semiconductor de efecto de campo (MOSFETs por sus siglas en inglés) y transistores de unión bipolares (en inglés Bipolar Junction Transistor BJTs).

Para realizar pruebas a un dispositivo electrónico, como los semiconductores, primero es necesario comprender de manera general su estructura básica y su funcionamiento, para tener conocimiento previo del resultado de dichas pruebas. En este capítulo se describirán las características principales, así como la estructura básica y funcionamiento de los dispositivos semiconductores, los cuales serán los principales dispositivos a caracterizar debido a que la mayor parte de las nuevas tecnologías se basan en este tipo de dispositivos. Como el objetivo principal de este trabajo de tesis es la implementación de un sistema de adquisición de datos para obtener las características capacitancia-voltaje en semiconductores, se iniciará este capítulo describiendo al capacitor.

2.2 El capacitor

El capacitor es un dispositivo que almacena energía en un campo electrostático, en forma de carga eléctrica [4]. Físicamente consiste en un par de placas conductoras separadas por un dieléctrico o aislante. Cada una de estas placas tiene la capacidad para adquirir una cierta cantidad de carga eléctrica q , cuando sus terminales son conectadas a una diferencia de potencial eléctrica o voltaje. Una de las placas se carga con $+q$ y la otra con $-q$, es decir, recibirán la misma cantidad de energía eléctrica en forma de carga, pero de signos opuestos.

En la figura 2.1 se muestra una diferencia de potencial entre placas paralelas.

Donde A es el área de cada una de las placas, d es la distancia entre las placas paralelas.

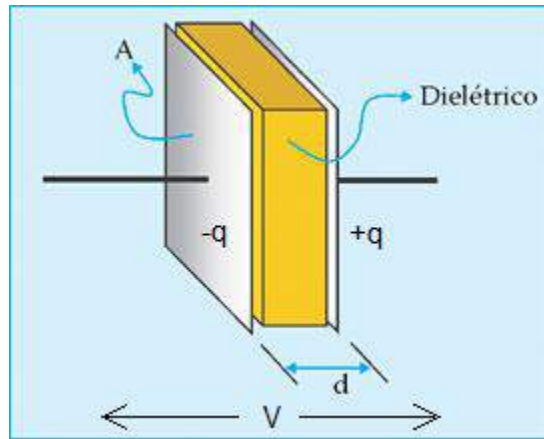


Figura 2.1 Capacitor de placas paralelas

Existe una relación directamente proporcional entre la magnitud de la carga q en un capacitor y la diferencia de potencial V entre sus placas que se expresa matemáticamente de la siguiente manera:

$$q \propto V \quad (2.1)$$

Esta relación se modela como una ecuación, agregando una constante de proporcionalidad C , para obtener:

$$Q = CV \quad (2.2)$$

Donde C es la capacitancia del capacitor.

La capacitancia es una constante de proporcionalidad, que depende de las formas, dimensiones y posiciones relativas de las placas del capacitor, así como del material dieléctrico que se coloca entre las placas. La unidad de medida para la capacitancia en el sistema internacional es el farad (F), cuya equivalencia se puede reducir haciendo un análisis dimensional de las variables que intervienen en la ecuación (2.1) farad = 1 coulomb/volt.

2.3 Materiales Semiconductores

El término conductor se aplica a cualquier material que soporte un flujo de carga, cuando una fuente de voltaje de magnitud limitada se aplica a través de sus terminales. Un aislante es un material que ofrece un nivel muy bajo de conductividad bajo la tensión de una fuente de voltaje aplicada. Y un semiconductor, por tanto, es un material que posee un nivel de conductividad sobre algún punto entre los extremos de un aislante y un conductor [4].

De manera inversa y relacionada con la conductividad de un material, se encuentra su resistencia de flujo de la carga o corriente. Mientras más alto es el nivel de conductividad, menor es el nivel de resistencia. El término resistividad (ρ) se utiliza para comparar los niveles de resistencia de los materiales (Figura 2.2). La resistividad se mide en $\Omega \cdot cm$ y está expresada por la ecuación (2.3):

$$\rho = \frac{R A}{l} \quad (2.3)$$

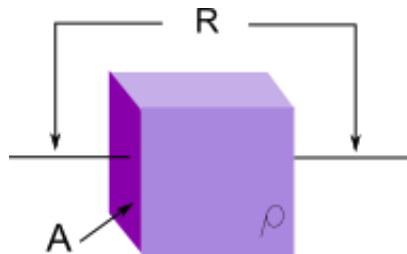


Figura 2.2 Definición de las unidades métricas de resistividad

Dónde:

R = Resistencia

A = Área

l = Longitud

El material semiconductor mayormente usado para realizar dispositivos electrónicos es el silicio (Si) que tiene una estructura atómica que forma un patrón muy definido y que es periódico por naturaleza. A un patrón completo se le llama cristal y al arreglo periódico de los átomos, red cristalina. El Si tiene una estructura de diamante de tres dimensiones.

Las características de los materiales semiconductores pueden ser alteradas significativamente por la adición de ciertos átomos de impurezas a un material semiconductor relativamente puro. Existen dos materiales de gran importancia para la fabricación de dispositivos semiconductores: el tipo n y el tipo p . Tanto el material tipo n como el tipo p se forman mediante la adición de un número predeterminado de átomos de impurezas al silicio. El tipo n se crea a través de la inducción de elementos de impureza que poseen cinco electrones de valencia, como el antimonio, arsénico y fósforo. A las impurezas difundidas con cinco electrones de valencia se les llama átomos donadores N_D . El material tipo p se forma mediante el dopado de un cristal puro de germanio o de silicio con átomos de impureza que poseen tres electrones de valencia. Los elementos que se utilizan con mayor frecuencia para este propósito son el boro, galio e indio. A las impurezas difundidas con tres electrones de valencia se les conoce como átomos aceptores N_A .

2.4 Diodos semiconductores

El diodo semiconductor se forma al unir un material tipo n con uno tipo p . En el momento en que son unidos los dos materiales, los electrones y los huecos en la región de la unión se combinan, dando por resultado una falta de portadores en la región cercana a la unión. A esta región de iones positivos y negativos descubiertos se le llama región de agotamiento (w), debido al agotamiento de portadores en esta región. Fig. 2.3.

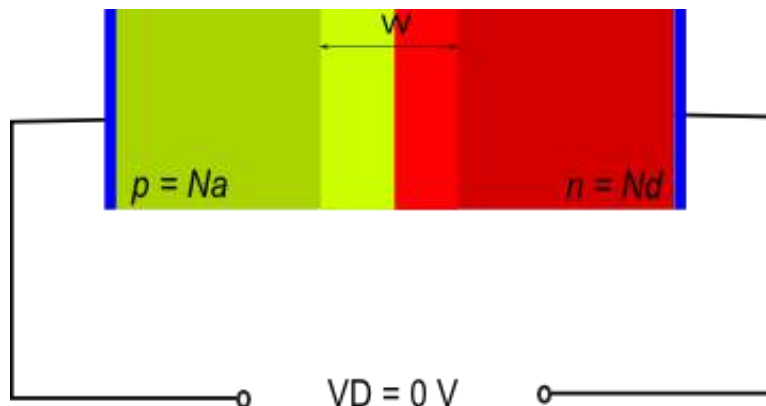


Figura 2.3 Diodo de unión $p-n$

Como el diodo es un dispositivo de dos terminales, la aplicación de un voltaje a través de sus terminales permite tres posibilidades: sin polarización ($V_D = 0 V$), polarización directa ($V_D > 0 V$) y polarización inversa ($V_D < 0 V$).

2.4.1 Sin polarización aplicada ($V_D = 0\text{ V}$)

Bajo condiciones sin polarización, cualquiera de los portadores minoritarios (huecos) en el material tipo n que se encuentren dentro de la región de agotamiento, pasarán directamente al material tipo p . Mientras más cercano se encuentre el portador minoritario a la unión, mayor será la atracción de la capa de iones negativos y menor la oposición de los iones positivos en la región de agotamiento del material tipo n . Se supone que todos los portadores minoritarios del material tipo n que se localizan en la región de agotamiento debido a su movimiento aleatorio pasarán directamente al material tipo p . Se puede considerar que algo similar pasa con los portadores minoritarios (electrones) del material tipo p . Este flujo de portadores se indica en la Figura 2.3 para los portadores minoritarios de cada material.

Los portadores mayoritarios (electrones) del material tipo n deben sobreponerse a las fuerzas de atracción de la capa de iones positivos del material tipo n , y la capa de iones negativos en el material tipo p , con el fin de migrar hacia el área localizada más allá de la región de agotamiento del material tipo p . Sin embargo, en el material tipo p el número de portadores mayoritarios es tan grande que invariablemente habrá un pequeño número de portadores mayoritarios con suficiente energía cinética para pasar a través de la región de agotamiento hacia el material tipo p . La misma consideración se puede aplicar a los portadores mayoritarios (huecos) del material tipo p . Este flujo resultante debido a los portadores mayoritarios también se describe en la Figura 2.4.

Por lo tanto, en ausencia de un voltaje de polarización aplicado, el flujo neto de la carga en cualquier dirección para un diodo semiconductor es cero.

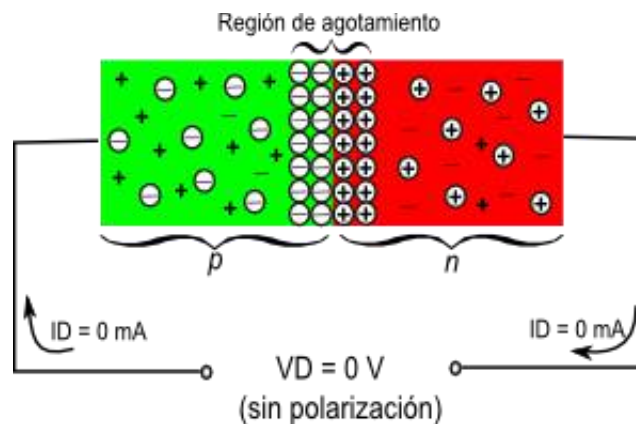


Figura 2.4 Unión p-n sin polarización externa

2.4.2 Condición de polarización inversa ($V_D < 0V$)

Si un potencial externo de voltaje se aplica a través de la unión $p-n$ de tal forma que la terminal positiva se conecte con el material tipo n y la terminal negativa esté conectada con el material tipo p como se muestra en la Figura 2.5, el número de iones positivos en la región de agotamiento del material tipo n se incrementará debido al gran número de electrones “libres” atraídos por el potencial positivo del voltaje aplicado. Por razones similares, el número de iones negativos se incrementará en el material tipo p . El efecto neto, por tanto, es una ampliación de la región de agotamiento. Dicha ampliación establecerá una barrera de potencial demasiado grande para ser superada por los portadores mayoritarios, además de una reducción efectiva del flujo de los portadores mayoritarios a cero, como se muestra en la figura 2.5.

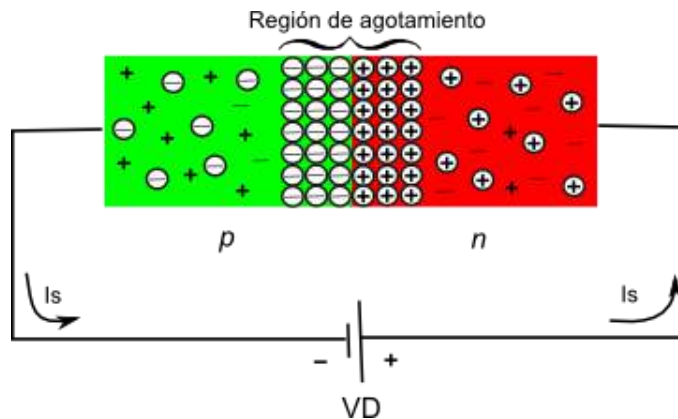


Figura 2.5 Unión p-n con polarización inversa.

Sin embargo, el número de portadores minoritarios que están entrando a la región de agotamiento no cambiarán, y dan como resultado vectores de flujo (I_s) de portadores minoritarios de la misma magnitud que sin voltaje aplicado, como lo indica la Figura 2.5.

La corriente que existe bajo las condiciones de polarización inversa se le llama corriente de saturación inversa, y se representa mediante I_s . La corriente de saturación inversa rara vez es mayor que unos cuantos microamperes, con excepción de los dispositivos de alta potencia. De hecho, en años recientes se encontró que su nivel está casi siempre en el rango de nanoamperes para dispositivos de silicio. El término saturación proviene del hecho de que alcanza su máximo nivel con rapidez y no cambia de manera significativa con el incremento del potencial de polarización inversa, como se muestra en las características de los diodos de la Figura 2.6 para $V_D < 0V$.

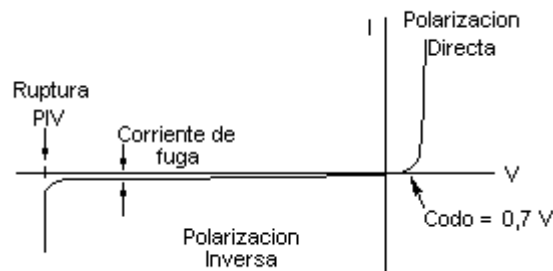


Figura 2.6 Curvas características del diodo semiconductor de silicio

2.4.3 Condición de polarización directa ($V_D > 0 V$)

Esta condición se establece al aplicar el potencial positivo al material tipo p y el potencial negativo al material tipo n , como lo muestra la figura 2.7. Al aplicar un potencial de polarización directa V_D "presionará" los electrones en el material tipo n y los huecos en el material tipo p para que se recombinen con los iones cercanos a la unión y reducirá el ancho de la región de agotamiento como se indica en la misma Figura 2.7. El flujo de electrones, portadores minoritarios, del material tipo p al material tipo n (y de los huecos del material tipo n al material tipo p) no ha cambiado en magnitud (debido a que el nivel de conducción se encuentra controlado básicamente por el número limitado de impurezas en el material), pero la reducción en el ancho de la región de agotamiento ha generado un gran flujo de portadores mayoritarios a través de la unión. Ahora, un electrón de material tipo n "observa" una barrera muy reducida en la unión, debido a la pequeña región de agotamiento y a una fuerte atracción del potencial positivo aplicado al material tipo p . Mientras se incrementa en magnitud la polarización aplicada, la región de agotamiento continuará disminuyendo su anchura hasta que un flujo de electrones pueda pasar a través de la unión, lo que da como resultado un incremento exponencial en la corriente, como se muestra en la región de polarización directa de las características de la figura 2.6.

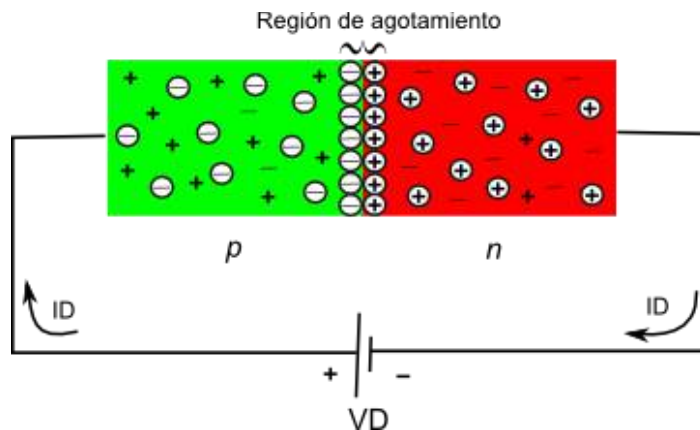


Figura 2.7 Unión $p-n$ con polarización directa

2.5 Capacitancia en diodos de unión

Los dispositivos electrónicos son inherentemente sensibles a las frecuencias muy altas. Casi todos los efectos relativos a la capacitancia pueden omitirse a bajas frecuencias, debido a que su reactancia $X_c = 1/2\pi fC$ es muy grande (equivalente a circuito abierto). Sin embargo, esto no se puede ignorar a frecuencias muy altas, X_c será lo suficientemente pequeño debido al alto valor de f para presentar una trayectoria de "corto" de baja reactancia. En el diodo semiconductor $p-n$ existen dos efectos de capacitancia que deben considerarse. Ambos tipos de capacitancia se encuentran presentes en las regiones de polarización directa y polarización inversa, pero una sobrepasa a la otra de tal manera que en cada región sólo se consideran los efectos de una sola capacitancia.

En la región de polarización inversa se tiene la capacitancia de la región de transición o de agotamiento (C_T), mientras que en la región de polarización directa se tiene la capacitancia de difusión (C_D) o de almacenamiento.

La ecuación básica para la capacitancia de un capacitor de placas paralelas está definida por:

$$C = \epsilon A / d, \quad (2.4)$$

Donde ϵ es la permitividad del dieléctrico entre las placas de área A separada por una distancia d . En la región de polarización inversa existe una región de agotamiento (libre de portadores) que, en esencia, se comporta como un aislante entre las capas de carga opuesta. Debido a que el ancho de esta región (d) se incrementará mediante el aumento del potencial de polarización inversa, la capacitancia de transición que resulta disminuirá, como lo muestra la figura 2.8. El hecho de que la capacitancia es dependiente del potencial de polarización inverso aplicado, tiene aplicación en numerosos sistemas electrónicos [4].

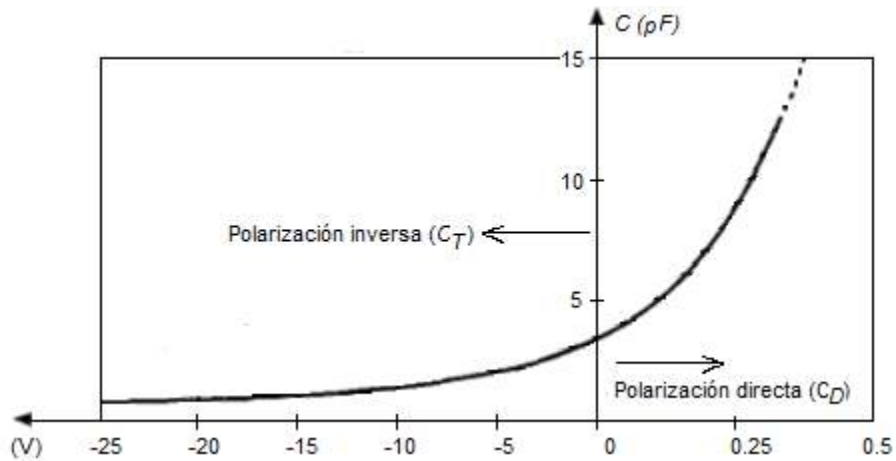


Figura 2.8 Capacitancia de transición y de difusión en función de la polarización aplicada para un diodo de silicio.

Aunque el efecto descrito también se encontrará presente en la región de polarización directa, éste es mucho menor que un efecto de capacitancia directamente dependiente de la velocidad a la que la carga es inyectado hacia las regiones justo fuera de la región de agotamiento. El resultado es que niveles crecientes de corriente resultarán en aumentos de la capacitancia de difusión. Sin embargo, los niveles crecientes de corriente resultarán en niveles reducidos de resistencia asociada y la constante de tiempo resultante ($\tau = RC$), misma que es muy importante en las aplicaciones de alta velocidad porque no se hace excesiva.

Los efectos de la capacitancia se encuentran representados por un capacitor en paralelo con un diodo ideal, como se muestra en la Fig. 2.9. Sin embargo, para las aplicaciones de baja o mediana frecuencia (excepto en el área de potencia), por lo regular, el capacitor no está incluido en el símbolo del diodo.

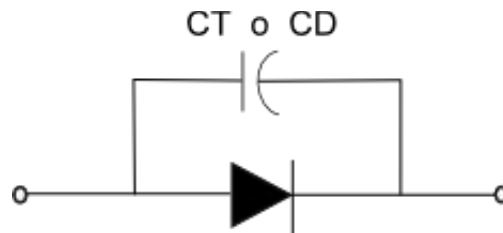


Figura 2.9 Representación de efecto de la capacitancia de transición (C_T) o de difusión (C_D) en el diodo semiconductor.

2.5.1 La capacitancia de unión

La capacitancia de unión es calculada usando la expresión para la capacitancia de placas paralelas. Esto podría parecer a primera vista inesperado, ya que la carga se distribuye a lo largo de la capa de agotamiento. Sin embargo, cuando se aplican pequeñas variaciones de voltaje se encuentra que la carga sólo se agrega y se quita en el borde de la región de agotamiento por lo que la capacitancia sólo depende de la constante dieléctrica, la zona y el ancho de agotamiento de la capa, dando [5]:

$$C_j = \frac{\epsilon_s}{w} = \sqrt{\frac{q \epsilon_s}{2(\phi_i - V_a)} \frac{N_a N_d}{N_a + N_d}} \quad (2.5)$$

Donde w es el ancho de la región de agotamiento, ϵ_s es la permitividad dieléctrica del silicio, q la carga del electrón, V_a el potencial aplicado, ϕ_i el potencial en el semiconductor, N_d y N_a densidad dopante tipo n y tipo p respectivamente.

2.5.2 Medición de capacitancia y extracción de parámetros

El voltaje autoconstruido (en inglés V_{self}) se puede obtener haciendo una medición de capacitancia contra voltaje y la densidad dopante de un lado del diodo $p-n$. Graficando sobre el inverso de la capacitancia al cuadrado se espera una dependencia lineal expresada por [5]:

$$\frac{1}{C_j^2} = \frac{2}{q \epsilon_s} \frac{N_a + N_d}{N_a N_d} (\phi_i + V_a) \quad (2.6)$$

Una curva de capacitancia-voltaje calculada y su correspondiente $1/C^2$ es mostrada en la Figura 2.10. El voltaje autoconstruido es obtenido en la intersección de la curva $1/C^2$ y el eje horizontal, mientras que la densidad dopante es obtenida de la pendiente de la curva. Las mediciones de capacitancia-voltaje también proveen el perfil de la densidad de dopantes de diodos $p-n$ de un lado. Para un diodo $p-n$ se obtiene la densidad de dopantes de:

$$N_d = - \frac{2}{q \epsilon_s d} \frac{1}{(1/C_j^2)/d V_a}, \text{ si } N_a \gg N_d \quad (2.7)$$

Mientras la profundidad iguala la capa de agotamiento la cual es obtenida de $w = \epsilon_s A / C_j$. La densidad dopante y la correspondiente profundidad se puede obtener a cada voltaje, dando un perfil dopante.

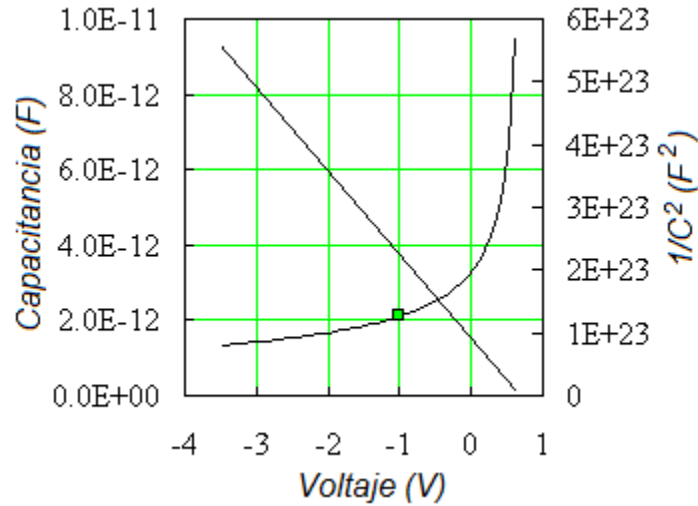


Figura 2.10 Capacitancia y $1/C^2$ contra voltaje de un diodo $p-n$ con $N_a = 10^{16} \text{ cm}^{-3}$, $N_d = 10^{17} \text{ cm}^{-3}$ y un área de 10^{-4} cm^2

2.6 El Capacitor MOS

El capacitor MOS es básicamente un transistor de efecto de campo (MOSFET) sin una fuente (S) y drenaje (D). En el proceso de fabricación y caracterización de un transistor MOS, el mantener la calidad y confiabilidad de los óxidos de compuerta de las estructuras MOS es una tarea crítica en la fabricación de semiconductores. Las mediciones de capacitancia-voltaje (C-V) son muy útiles para estudiar la calidad de la compuerta de óxido a detalle. Estas mediciones se pueden realizar mediante un dispositivo de dos terminales llamado capacitor MOS, que se encuentra entre las regiones Metal-Oxido-Silicio (MOS). Los resultados de las pruebas C-V ofrecen mucha información acerca del proceso de fabricación, incluyendo información del sustrato y las cargas de la interfaz. Además, ofrecen información de muchos parámetros del dispositivo MOS, tal como espesor del óxido, voltaje de banda plana (flat band), voltaje de umbral (V_{th}) etc., que pueden ser extraídos de los datos C-V. Por eso la importancia de implementar un sistema de caracterización de estructuras MOS que es presentado en este trabajo de tesis.

2.6.1 Técnica de medición C-V

Por definición, capacitancia es el cambio en la carga (Q) en un dispositivo que ocurre cuando ésta también tiene un cambio en el voltaje (V):

$$C = \frac{\Delta Q}{\Delta V} \quad (2.8)$$

Una forma práctica para implementar esto es aplicando una pequeña señal de voltaje AC (en el rango de milivolts) al dispositivo bajo prueba, y entonces medir la corriente resultante. Integrar la corriente sobre el tiempo para derivar Q y entonces calcular C de Q y V .

Las mediciones en un dispositivo semiconductor se realiza usando dos fuentes de voltaje simultáneas: una señal de voltaje AC aplicada (dV_{ac}) y un voltaje DC (V_{dc}) que es barrido en el tiempo, como se ilustra en la figura 2.11.

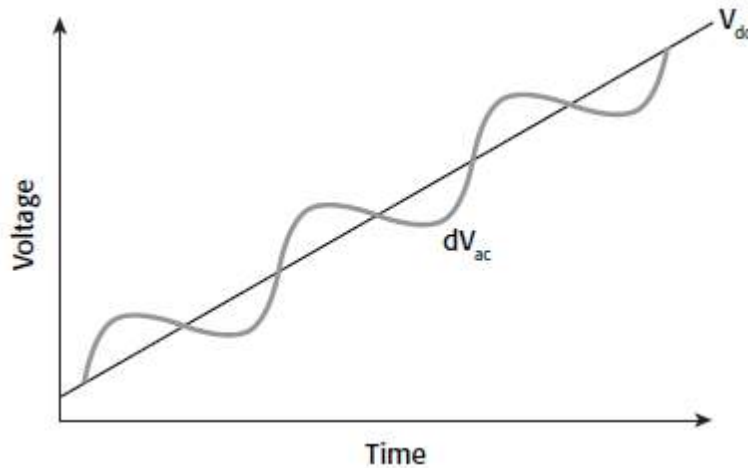


Figura 2.11 Barrido AC y DC de voltaje para medición C-V

La magnitud y frecuencia del voltaje AC son fijos; la magnitud del voltaje DC es barrido en el tiempo. El propósito del voltaje de polarización DC es permitir un muestreo del material a diferentes profundidades en el dispositivo. Los voltajes de polarización AC proveen las pequeñas señales de polarización así la medición de capacitancia puede ser realizada a una profundidad dada en el dispositivo.

2.6.2 Principios básicos de capacitores MOS

La figura 2.12 ilustra la construcción de un capacitor MOS. Esencialmente, el capacitor MOS es un óxido que se encuentra entre un semiconductor y una compuerta de metal. El semiconductor y la compuerta de metal son las dos placas del capacitor. El óxido funciona como el dieléctrico. El área de la compuerta de metal define el área del capacitor.

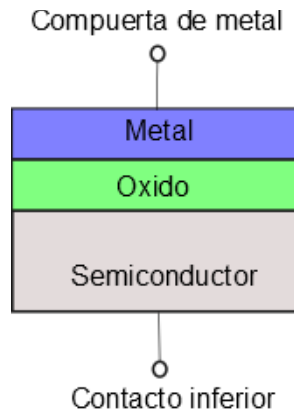


Figura 2.12 Capacitor MOS

La propiedad más importante del capacitor MOS es que su valor de capacitancia cambia con un voltaje en DC aplicado. Como resultado, los modos de operación del capacitor MOS cambian como una función del voltaje aplicado. La figura 2.13 ilustra una curva C-V a alta frecuencia para un sustrato de semiconductor tipo-p. Como un voltaje de barrido DC es aplicado a la compuerta, esto causa que el dispositivo pase a través de las regiones de acumulación, agotamiento e inversión.

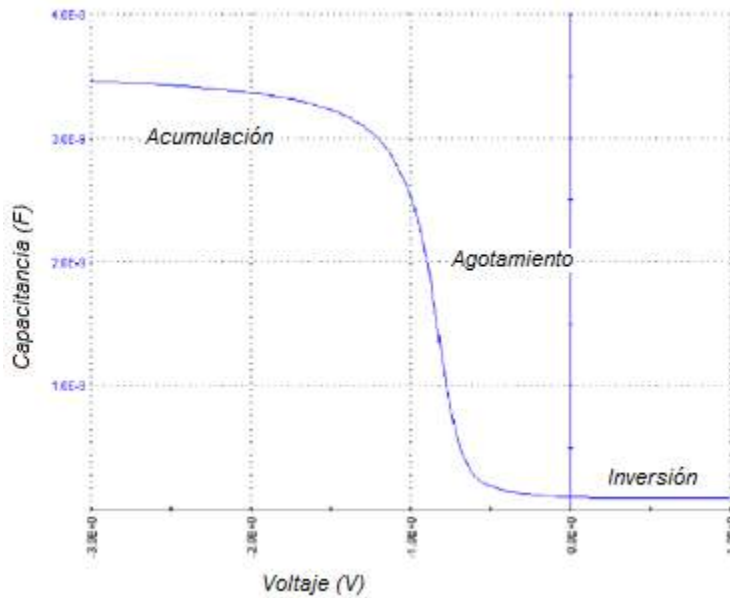


Figura 2.13 Curva C-V de un capacitor MOS tipo-p

Los tres modos de operación: acumulación, agotamiento e inversión serán discutidos para el caso de un semiconductor tipo-p, y una breve explicación para el semiconductor tipo-n será discutido al final de la sección.

2.6.2.1 Región de acumulación

Cuando no se aplica voltaje, un semiconductor tipo-p tiene huecos o portadores mayoritarios, en la banda de valencia. Cuando un voltaje negativo es aplicado entre la compuerta de metal y el semiconductor, más huecos aparecerán en la banda de valencia en la interface óxido-semiconductor. Esto es porque la carga negativa del metal causa una carga positiva neta igual se acumule en la interfaz entre el semiconductor y el óxido. Este estado de semiconductor tipo-p es llamado acumulación. Para un capacitor MOS tipo-p, la capacitancia del óxido se mide en la región fuerte de acumulación. Esto es donde el voltaje es suficientemente negativo así que la capacitancia es esencialmente constante y la curva C-V es casi plana. Aquí es donde el espesor del óxido puede ser extraído de la capacitancia del óxido. Sin embargo, para un óxido muy delgado, la pendiente de la curva C-V no es aplana en acumulación y la capacitancia del óxido medida difiere de la capacitancia real del óxido.

2.6.2.2 Región de agotamiento.

Cuando se aplica un voltaje positivo entre la compuerta y el semiconductor, los portadores mayoritarios son reemplazados de la interfaz semiconductor-óxido. Este estado del semiconductor es llamado agotamiento porque la superficie del semiconductor es agotado de portadores mayoritarios. Esta área del semiconductor actúa como un dieléctrico debido a que ya no puede contener o conducir carga. Esto llega a ser un aislante. La capacitancia total medida ahora llega a ser la capacitancia del óxido y la capacitancia en la capa de agotamiento en serie y como un resultado la capacitancia medida disminuye. Este decremento en la capacitancia es ilustrada en la Figura 2.13 en la región de agotamiento. Como el voltaje de compuerta aumenta, la región de agotamiento se hace más grande, incrementando el espesor efectivo del dieléctrico entre la compuerta y el sustrato, reduciendo así la capacitancia.

2.6.2.3 Región de inversión

Cuando el voltaje de compuerta de un C-MOS tipo-p incrementa más allá del voltaje de umbral, generación y recombinación de portadores dinámicos avanzan hacia la generación de portadores. El voltaje de compuerta positivo genera pares electrón-hueco y atrae electrones (los portadores minoritarios) hacia la compuerta. Otra vez, debido a que el óxido es un buen aislante, esos portadores minoritarios se acumulan en la interfaz sustrato-a-óxido. La capa de portadores minoritarios acumulados es llamada la capa de inversión porque la polaridad de portadores es invertida. Arriba de un cierto voltaje de compuerta positivo, la mayoría de portadores minoritarios disponibles están en la capa de inversión y un incremento adicional en el voltaje de compuerta no aumentará la región de agotamiento del semiconductor. Esto es, la región de agotamiento alcanza una profundidad máxima.

Una vez que la región de agotamiento alcanza una profundidad máxima, la capacitancia que se mida por el medidor de capacitancias a alta frecuencia es la capacitancia del óxido en serie con la máxima capacitancia de agotamiento. Esta capacitancia es referida como capacitancia mínima. La pendiente de la curva C-V es casi plana.

Nótese que la capacitancia en la región de inversión medida a la máxima profundidad de agotamiento depende de la frecuencia medida. Sin embargo, las curvas C-V medidas a diferentes frecuencias pueden tener diferentes apariencias. Generalmente, tales diferencias son más significantes a bajas frecuencias y menos significantes a altas frecuencias.

El hecho de que tengamos que distinguir entre BF (baja frecuencia) y HF (alta frecuencia) está relacionado con la respuesta de los portadores mayoritarios y minoritarios. En acumulación, la carga superficial es de portadores mayoritarios por lo que la carga acumulada varía rápidamente con las variaciones del campo. Igual sucede en agotamiento, ya que básicamente la carga se acumula al retirarse o acercarse los portadores mayoritarios.

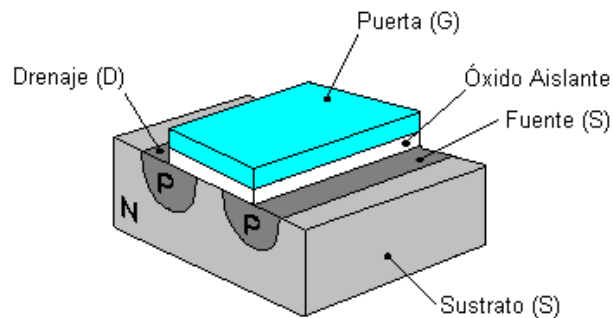
La situación es muy diferente en inversión, ya que la zona de inversión está separada de la zona neutra por una zona de agotamiento. A baja frecuencia, los portadores minoritarios pueden ser atraídos a la superficie desde la zona neutra o desde la zona de carga de espacio mediante mecanismos de generación térmica y la capacidad del MOS coincide con la del óxido. A alta frecuencia no hay tiempo para atraer los portadores minoritarios a la superficie y la capacidad del MOS queda bloqueada en la capacidad de la zona de carga de espacio.

Substrato tipo-n

La curva C-V para un capacitor MOS tipo-n es análoga a la curva de un tipo-p, excepto que: (1) los portadores mayoritarios son electrones en vez de huecos; (2) la curva C-V del tipo-n es esencialmente una imagen espejeada de la curva tipo-p; (3) la acumulación ocurre aplicando un voltaje positivo a la compuerta; y (4) la región de inversión ocurre a voltaje negativo.

2.6.2.4 Parámetros en transistores MOS

En la figura 2.14 se muestra la estructura de un MOSFET que puede ser caracterizado a través de un barrido C-V.



Esquema de un transistor MOS de canal P

Figura 2.14 Corte esquemático de un transistor MOSFET.

Realizando un barrido C-V es posible desplegar la capacitancia ($1/C^2$) como una función del voltaje de compuerta (V_G) en transistores MOS. Este barrido puede dar importante información del perfil de dopado debido a que la concentración de dopado del sustrato (N_{SUB}) es inversamente relacionado al recíproco de la pendiente de la curva $1/C^2$ vs. V_G . Una pendiente positiva indica aceptores y una pendiente negativa indica donadores. La concentración dopante del sustrato es extraída de la pendiente de la curva $1/C^2$ y es desplegada en la gráfica de la figura 2.15

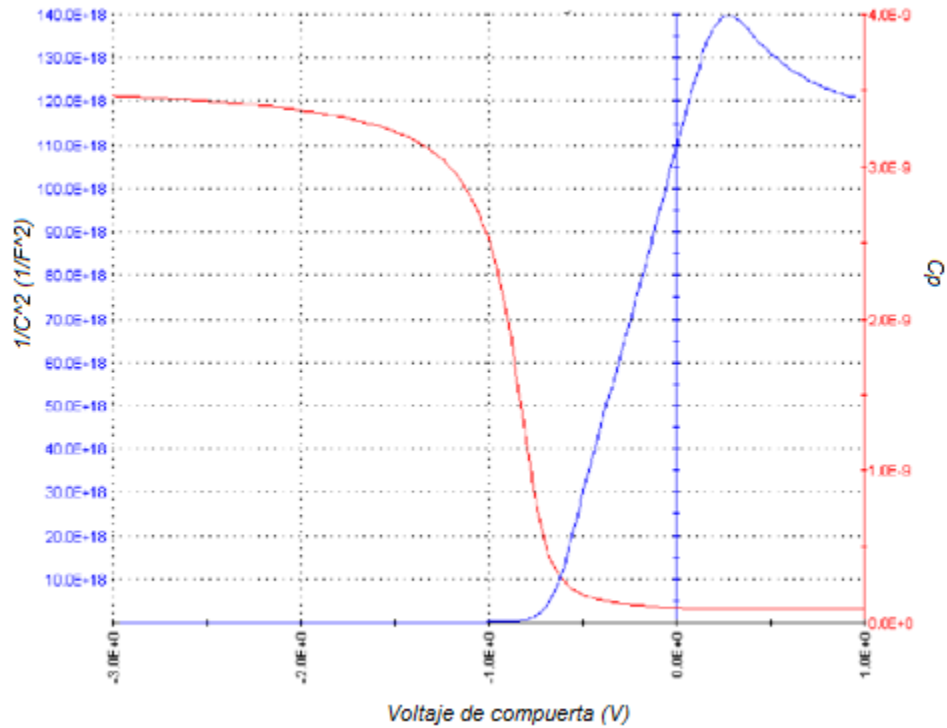


Figura 2.15. Gráfica de $1/C^2$ vs. V_G

2.6.2.5 Módulo de prueba del perfil dopante

Esta prueba ejecuta un perfil dopante, el cual es una gráfica de la concentración dopante contra la profundidad de agotamiento. La diferencia en capacitancia a cada paso del voltaje de compuerta es proporcional a la concentración de dopante. La profundidad de agotamiento se calcula de la capacitancia a alta frecuencia y la capacitancia del óxido a cada valor medido del voltaje de compuerta. Los resultados se muestran como en la gráfica de la figura 2.16.

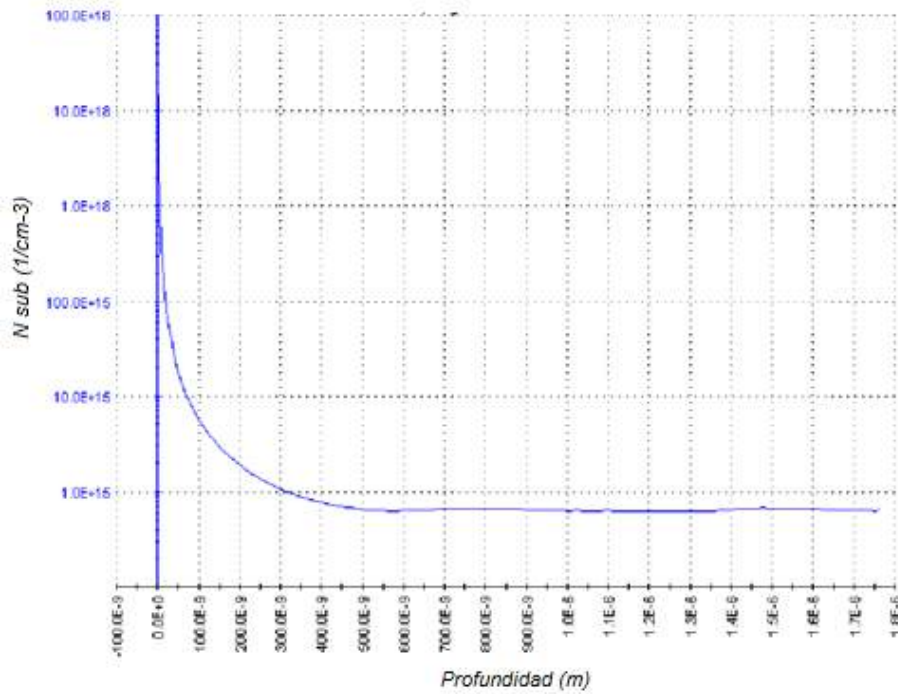


Figura 2.16. Perfil dopante extraído de los datos C-V

2.6.2.6 Extracción de parámetros MOS de las mediciones C-V

a) Espesor del óxido

Para medir el espesor del óxido ($>50\text{Å}$), teniendo los datos C-V es relativamente sencillo. La capacitancia del óxido (C_{ox}) es la capacitancia a alta frecuencia cuando el dispositivo es polarizado en fuerte acumulación. En la región de fuerte acumulación, el MOS-C actúa como un capacitor de placas paralelas, y el espesor del óxido (T_{ox}) puede ser calculado de C_{ox} y el área de compuerta usando la siguiente ecuación [6]:

$$T_{ox} = \frac{A \varepsilon_{ox}}{C_{ox}} \quad (2.9)$$

Dónde:

T_{ox} = Espesor del óxido (nm)

A = Área de la compuerta (cm^2)

ε_{ox} = Permitividad del material (en este caso óxido) (F/cm)

C_{ox} = Capacitancia del óxido (F)

b) Capacitancia de banda plana y voltaje de banda plana

Al aplicar un cierto voltaje de compuerta, el voltaje de banda plana (V_{FB}), resulta en la desaparición de la banda de flexión. Esta situación es conocida como la condición de banda plana (flat band) y la banda del semiconductor se dice que llega a ser plana. Debido a que la banda es plana, el potencial de superficie es cero (con el potencial de referencia tomado como el potencial de sustrato en el semiconductor). El voltaje de banda plana y su cambio son usados ampliamente para extraer otros parámetros del dispositivo, tal como cargas en el óxido V_{FB} puede ser identificado de la curva C-V. Una opción es usar el método de capacitancia de banda plana. Para esto, el valor ideal de la capacitancia de banda plana (C_{FB}) es calculado de la capacitancia del óxido y la longitud de Debye [7]. Una vez que el valor C_{FB} sea conocido, el valor de V_{FB} se puede obtener de la curva C-V, haciendo una interpolación entre los valores cercanos a sustrato-compuerta (V_{GS}) [7]. El parámetro de longitud de Debye (λ) se puede calcular derivando el voltaje de banda plana y la capacitancia. En base al perfil dopante, el cálculo de λ requiere una de las siguientes concentraciones dopantes: N a 90% de W_{MAX} [7] un suministrador N_A (concentración de dopantes aceptores en sustrato para un tipo-p) o un suministrador N_D (concentración de dopantes en sustrato para un material donador tipo-n).

La capacitancia de banda plana es calculada por:

$$C_{FB} = \frac{C_{ox}(\epsilon_s A / \lambda)}{C_{ox} + (\epsilon_s A / \lambda)} \quad (2.10)$$

Dónde:

C_{FB} = Capacitancia de banda plana (F)

C_{ox} = Capacitancia del óxido (F)

ϵ_s = Permitividad del sustrato (F/cm)

A = Área de la compuerta (cm^2)

λ = Longitud extrínseca de Debye, la cual es calculada como sigue:

$$\lambda = \left(\frac{\epsilon_s \kappa T}{q^2 N} \right)^{\frac{1}{2}} \quad (2.11)$$

Dónde:

κT = Energía térmica a temperatura ambiente (293K) ($4.046 \times 10^{-21} J$)

q = Carga del electrón ($1.60219 \times 10^{-19} C$)

N_x = N a 90% W_{MAX} [7] ó cuando la entrada por el usuario, $N_x = N_A$ ó $N_x = N_D$

La longitud extrínseca de Debye en física de plasma establece que en semiconductores, los portadores mayoritarios pueden moverse libremente. Cualquier interacción eléctrica tiene un rango limitado. La longitud de Debye es usada para representar este rango de interacción.

c) Voltaje de umbral (V_{TH})

La región de encendido para un MOSFET corresponde a la región de inversión en su gráfica C-V. Cuando un MOSFET es activado, el canal formado corresponde a una fuerte generación de cargas de inversión. Esto es cuando las cargas de inversión conducen corriente. Cuando una fuente y drenaje son agregados a un MOS-C para formar un MOSFET, un MOS-C tipo-p es ahora un MOSFET tipo-n, también llamado un MOSFET canal-n. Inversamente, un MOS-C tipo-n se convierte en un MOSFET canal-p. El voltaje de banda plana separa a la región de acumulación de la región de agotamiento en un diagrama de capacitancia vs voltaje de un capacitor MOS. El voltaje de umbral separa la región de agotamiento de la región de inversión. En la figura 2.17 se muestra el diagrama de C-V de un capacitor MOS.

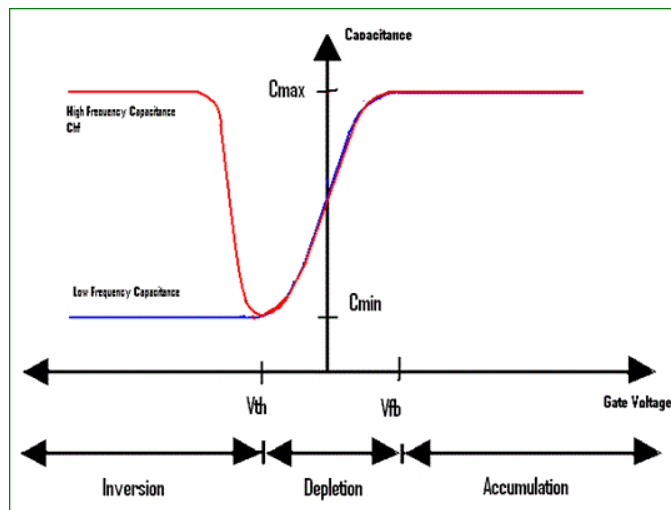


Figura 2.17 diagrama de C-V de un capacitor MOS

El voltaje de umbral (V_{TH}) es el punto en la curva C-V donde el potencial de superficie (ϕ_s) iguala dos veces el potencial de sustrato (ϕ_B). Este punto en la curva corresponde al comienzo de fuerte inversión. Para un MOSFET del modo enriquecimiento, V_{TH} corresponde al punto donde el dispositivo comienza a conducir. El significado físico del voltaje de umbral es el mismo para una curva C-V del MOS-C y una curva I-V MOSFET. Sin embargo, en la práctica, el valor numérico V_{TH} para un MOSFET puede ser ligeramente diferente debido al método particular usado para extraer el voltaje de umbral.

El voltaje de umbral de un capacitor MOS se puede calcular como:

$$V_{TH} = V_{FB} \pm \left[\frac{A}{C_{ox}} \sqrt{4 \epsilon_s q |N_{BULK} \phi_B| + 2 |\phi_B|} \right] \quad (2.12)$$

Dónde:

V_{FB} = Potencial de banda plana (V)

C_{ox} = Capacitancia del óxido (F)

ϵ_s = Permittividad del sustrato (F/cm)

A = Área de la compuerta (cm²)

N_{BULK} = Dopante del sustrato (cm⁻³)

ϕ_B = Potencial del sustrato (V)

El potencial del sustrato es calculado como:

$$\phi_B = - \frac{kT}{q} \ln \left(\frac{N_{BULK}}{N_i} \right) \text{ (Tipo de dopante)} \quad (2.13)$$

Dónde:

k = Constante de Boltzmann (1.3807x10⁻²³ J/K)

T = Temperatura de prueba (K)

N_i = Concentración intrínseca de portadores (1.45x10¹⁰ cm⁻³)

Tipo de dopante = +1 para materiales tipo-p y -1 para materiales tipo-n

d) Concentración dopante del sustrato

La concentración dopante del sustrato (N_{SUB}) es relacionada al recíproco de la pendiente de la curva $1/C^2$ vs. V_G . La concentración dopante es calculada por:

$$N_{SUB} = \frac{2}{q \epsilon_s A^2 \left(\frac{\Delta 1/C^2}{\Delta V_G} \right)} \quad (2.14)$$

e) Concentración de dopante vs. Profundidad (perfil dopante)

El perfil dopante del dispositivo es derivado de la curva C-V basado en la definición de la derivada de la capacitancia como un cambio diferencial de las cargas en la región de agotamiento producido por un cambio diferencial en el voltaje de compuerta [7]. El análisis de la concentración dopante estándar (N) vs, la profundidad (w) discutida aquí no realiza la compensación para el comienzo de la región de acumulación. Este método es inadecuado cuando la profundidad es menor que dos longitudes de Debye. La concentración dopante usada en el perfil dopante es calculada como:

$$N = \left| \frac{-2}{q \epsilon_s A^2 \frac{d(C^1/C^2)}{dV}} \right| \quad (2.15)$$

La profundidad de agotamiento (w) se obtiene de la capacitancia a alta frecuencia y la capacitancia del óxido a cada valor medido del voltaje de compuerta (V_G) [7]. La ecuación que describe (w) es:

$$w = A \epsilon_s \left(\frac{1}{C} - \frac{1}{C_{ox}} \right) \quad (2.16)$$

Capítulo 3

Instrumentación, Programación y Funcionamiento

3.1 Introducción

El objetivo principal de este trabajo de tesis es proporcionar un sistema que permita la caracterización de los dispositivos semiconductores empleados en diseño electrónico. Por eso que se ha descrito la importancia de contar con un banco de caracterización confiable de dispositivos semiconductores. Por lo tanto es necesario realizar un programa de automatización que facilite al usuario la rápida adquisición de datos y fácil manejo del mecanismo.

Con este proyecto se decidió acoplar dos sistemas a nivel software y hardware que realicen dicho trabajo, como un sistema computacional de National Instrument llamado Labview que permite una rápida velocidad de adquisición de datos. Por otro lado el hardware lo confirman el Agilent E4981A que mide la capacitancia del dispositivo, el adaptador de voltaje 16065C y una fuente de voltaje externa Keithley 2400 que en conjunto realizan las caracterizaciones requeridas.

En el presente capítulo se describe el funcionamiento del programa, así como sus conexiones e indicaciones que permiten la automatización del sistema a caracterizar. Se dará una descripción general de la lógica funcional del programa y su diagrama de flujo para describir su funcionamiento.

Para poder explicar el programa más detalladamente, en el apéndice A se incluyen los diagramas realizados en LabView.

Además se describe el funcionamiento del sistema y se muestra mediante ilustraciones de la forma de conectar los dispositivos electrónicos tales como capacitores, diodos, transistores y varactores para llevar a cabo las caracterizaciones.

3.2 Descripción del funcionamiento e instrumentación

En esta parte se analiza la forma de conexión de los instrumentos para las caracterizaciones de capacitores, diodos y transistores comerciales, así como capacitores MOS a nivel oblea.

La instrumentación se compone de una fuente de voltaje programable y un medidor de capacitancias programable ambos con interfaz GPIB que será el bus de conexión al controlador (computadora). Para dicha comunicación se utiliza una tarjeta interfaz USB-GPIB marca Agilent, modelo 82357B.

3.2.1 Medidor de capacitancias

Para medir un capacitor cerámico comercial solamente se conecta un instrumento de medición de capacitancias modelo E4981A de la marca Agilent [9], el cual tiene integrado una fuente de voltaje de 0.1 a 1 volt, que es suficiente para realizar una medición de capacitancia. La imagen del equipo se muestra en la figura 3.1. Las características del equipo son mostradas en la tabla 3.1A



Figura 3.1 Medidor de capacitancias

Tabla 3.1A Especificaciones de medición del modelo E4981A

Frecuencias disponibles	120 kHz 1 KHz 1 MHz
Rango de voltaje	0.1 V a 1 V
Resolución	0.01 V
Longitud de cables de medición	0 m, 1 m, 2 m

3.2.2 Conexiones

Para conectar un dispositivo bajo prueba (Device Under Test) abreviado en inglés DUT a las terminales de medición del instrumento, se requiere un accesorio de pruebas o cables de prueba. La selección de los cables de prueba apropiados, así como las técnicas para obtener la configuración óptima, son importantes para maximizar la precisión de la medición total.

3.2.2.1 Configuración de las terminales

Un instrumento puente de auto-equilibrio es generalmente equipado con cuatro conectores BNC, Hcur, Hpot, Lpot, y Lcur, como terminales de medición (ver figura 3.2).

Estas terminales son convencionalmente nombradas terminales "UNKNOWN". Hay varias configuraciones de conexión utilizadas para interconectar un DUT con las terminales UNKNOWN. Porque cada método tiene ventajas y desventajas, el método más confiable debe ser seleccionado basado en la impedancia de los DUT's y las mediciones requeridas.

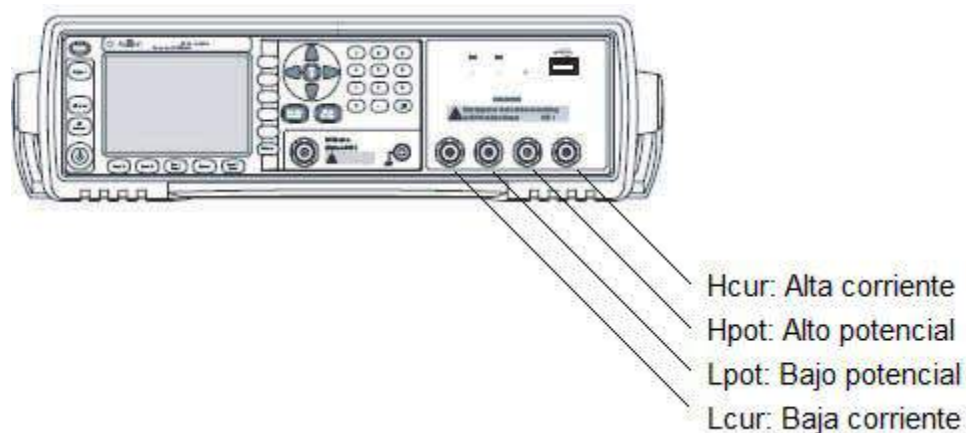


Figura 3.2 Terminales de medición para el instrumento de puente de auto-equilibrio

a) Configuración de cuatro terminales

La configuración de cuatro terminales (4T) pueden reducir los efectos de las impedancias del cable (ωL_L y R_L) y resistencias de contacto (R_C) debido a que la trayectoria de la corriente de la señal y los conductores de detección de voltaje son independientes, como se muestra en las Figuras 3-3(a) y (b). Los cables de sensado de voltaje no detectan la caída de voltaje causado por el R_L , L_L , y R_C en los cables de corriente. Las impedancias de los cables de detección de voltaje no afecta la medición porque la señal de corriente apenas fluye a través de estos cables. Los errores de medición debidos a las impedancias del cable y resistencias de contacto se eliminan de este modo. La precisión para rangos de medición de impedancia más bajos se mejora hasta $10\text{ m}\Omega$. Las precisiones en la medición en el rango de impedancia superior no se mejoran porque las capacidades parásitas entre los cables todavía permanecen. La configuración 4T también se llama configuración de la conexión Kelvin [10].

Cuando la impedancia del DUT está por debajo de $10\text{ m}\Omega$ una gran señal de la corriente fluye a través de los cables de corriente, generando campos magnéticos externos en torno a los cables. Los campos magnéticos inducen tensiones de error en los cables de sensado de voltaje adyacente. El efecto de acoplamiento mutuo entre los cables de corriente y el voltaje se ilustra en la Figura 3.3 (e). Los voltajes de error inducidos en los cables de detección de voltaje causan un error de medición en mediciones de muy baja impedancia.

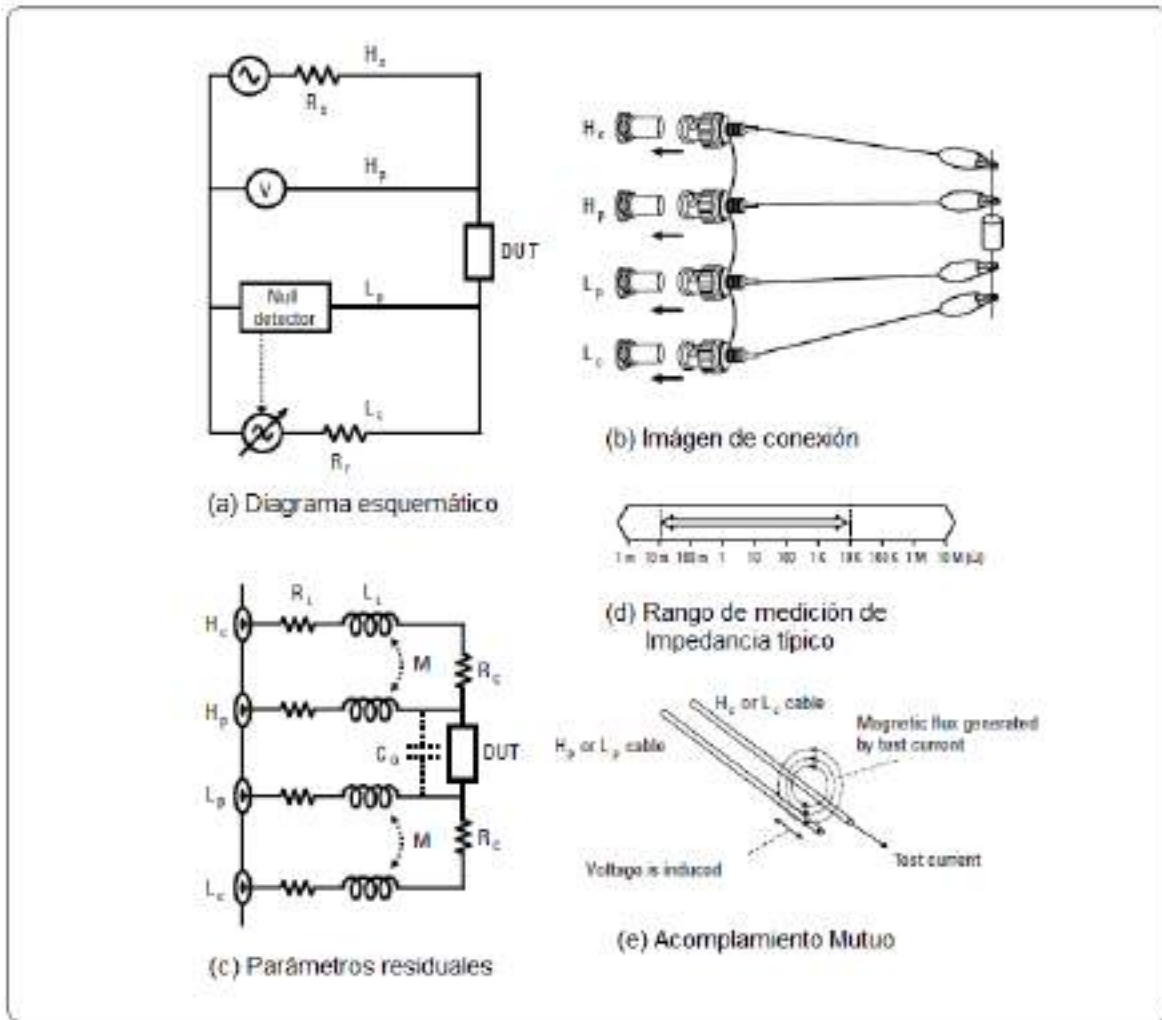


Figura 3.3 Configuración de cuatro-terminales (4T)

b) Configuración de par de cuatro terminales

La configuración de cuatro terminales (4TP) resuelve el acoplamiento mutuo entre los cables. El circuito de medición de 4TP es similar a la configuración 4T blindado, pero los conductores externos de las terminales H_c , H_p , L_p y L_c del instrumento están aislados. Conectando el blindaje a la parte externa el uno al otro de los conductores a las terminales de los cables coaxiales, los lazos de corriente

entre sí en los extremos de los cables coaxiales, el lazo de corriente se forma como se muestra en la figura 3-4(a). La señal corriente de prueba fluye a través del conductor interior del cable Hc, al DUT, y el conductor interior del cable de Lc, y entonces regresa a la señal de fuente a través de los conductores blindados exteriores de los cables Lc y Hc. Ya que la misma corriente fluye en dirección opuesta a través de los conductores internos y externos de los cables coaxiales, el flujo magnético generado por el conductor interno se cancela por el del conductor blindado externo, como se muestra en la Figura 3-4(e). Como resultado, el problema de acoplamiento mutuo se elimina. La configuración 4TP puede mejorar el rango de medición de impedancia a bajo $1\text{ m}\Omega$. El rango de medición llevado a cabo por esta configuración depende de que tan bien la configuración 4TP sea estrictamente adherida hasta el punto de conexión del DUT.

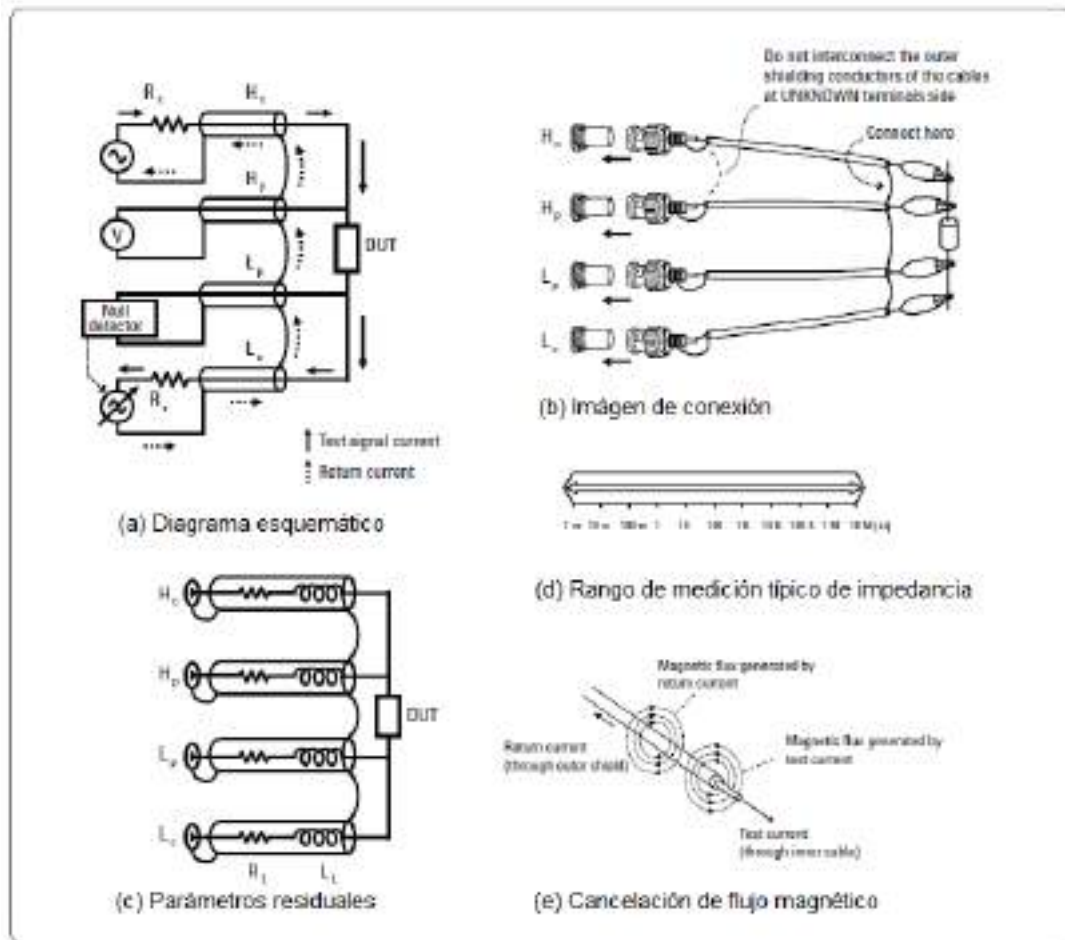


Figura 3.4. Configuración par de cuatro-terminales (4TP).

La compañía de Agilent Technology proporciona diferentes cables de prueba y accesorios (del inglés Test Fixture) como el que se ocupó en este trabajo [11]. Las características del modelo 16048D son mostradas en la tabla 3.2 y la imagen de conexión es mostrada en la figura 3.5.

Tabla 3.2 Especificaciones del modelo 16048D

Cables para prueba	Longitud del cable	Frecuencia máxima	Tipo de conector	Instrumentos aplicables
16048D	2 m	30 MHz	BNC	4263B, 4268A, 4285A, 4288A, E4980A, E4981A

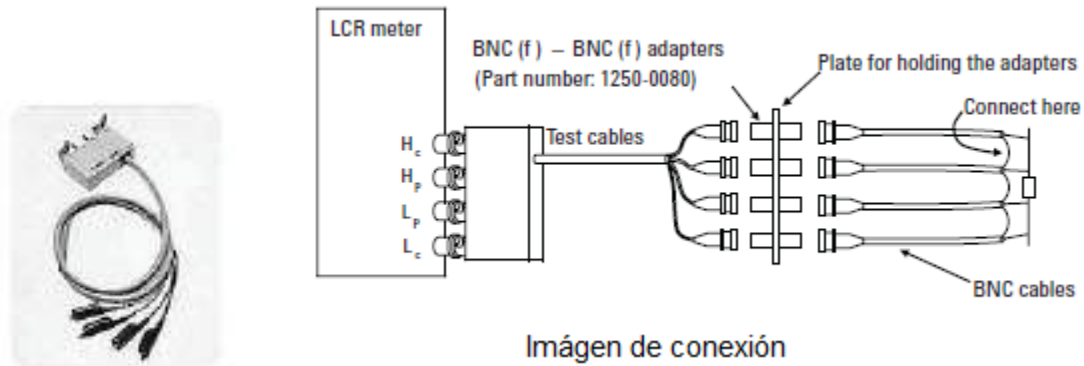


Figura 3.5. Configuración par de cuatro-terminales (4TP) y test fixture.

Para ampliar el rango de medición y así caracterizar diodos y capacitores MOS se conectó un adaptador de polarización de voltaje externo (del inglés: External Voltage Bias Adapter) modelo 16065C de 40 Vdc marca Agilent, que es mostrado en la figura 3.6. Al conectar una fuente de voltaje externa DC a este adaptador puede resistir un voltaje de polarización de hasta +/-40V y se puede suministrar al DUT. El DUT se puede insertar conectando cualquier cable de cuatro terminales al adaptador. Las especificaciones del modelo 16065C son mostradas en la tabla 3.3A.



Figura 3.6. Adaptador de voltaje modelo 16065C

Tabla 3.3A Especificaciones del modelo 16065C

Frecuencias	50 kHz a 1 MHz
Polarización DC	-40V a +40V
Terminal de conexión	Par - 4 terminal (4TP)
Terminal de conexión a test fixture	Par - 4 terminal (4TP)

3.3 Fuente de voltaje externa

Se utilizó una fuente-medidor de propósito general modelo Keithley 2400 para ampliar el rango de medición y cuya imagen es mostrada en la figura 3.7 y las características son mostradas en la tabla 3.4 [12].

Tabla 3.4 Capacidades de las fuentes

Fuentes	Alimentación	Sensibilidad como medidor
Keithley 2400	5 μ V - 210V	1 μ v - 211V
	50pA - 1.05 A	10pA - 1.055 A



Figura 3.7 Fuente -medidor Keithley 2400

3.4 Interfaz U S B / G P I B

Para realizar comunicación entre el controlador y los instrumentos se utilizó una tarjeta interfaz que utiliza el protocolo G P I B modelo 82357. Esta tarjeta es de fácil conexión con una interfaz de alta velocidad de USB 2.0 (compatible con USB 1.1) y del otro extremo la interfaz IEEE-488 (conexión de hasta 14 instrumentos en G P I B). Tiene una alta velocidad de transferencia de hasta 1.15 M B/seg. En la figura 3.8 se muestra la tarjeta de adquisición de datos utilizada [13].



Figura 3.8. Tarjeta de adquisición de datos

3.5 A r r e g l o e x p e r i m e n t a l

En la figura 3.9 se muestra el arreglo experimental de la conexión para la caracterización de capacitancia en diodos y dispositivos M O S .



Figura 3.9. Arreglo experimental para la adquisición de datos

El medidor de capacitancias modelo Agilent E4981A y la fuente de voltaje es conectado a través del bus GPIB a la tarjeta de la interfaz modelo USB-GPIB de Agilent modelo (82357) y ésta a su vez se encuentra conectada a una computadora donde se encuentra el software de programación en LabView como controlador, que va a realizar la caracterización C-V.

En el monitor de la computadora se observa la pantalla principal donde que tiene un ambiente amigable para que el usuario pueda ingresar los datos.

3.6 Descripción del programa

El programa brinda una interfaz sencilla al usuario para su caracterización, por lo que se emplea el ambiente gráfico del panel de control de LabView figura 3.10 para seleccionar los parámetros de entrada al programa.

El instrumento que se desea utilizar (Agilent E4981A), dos funciones que despliega el medidor que son la capacitancia en serie o paralelo y un factor de disipación o calidad, así como también la frecuencia con la que el dispositivo se caracterizará. Por otra parte, se tiene la fuente externa (Keithley 2400) que selecciona los voltajes iniciales y finales así como sus incrementos.

La siguiente figura 3.10 se muestra un esquema de lo antes mencionado.

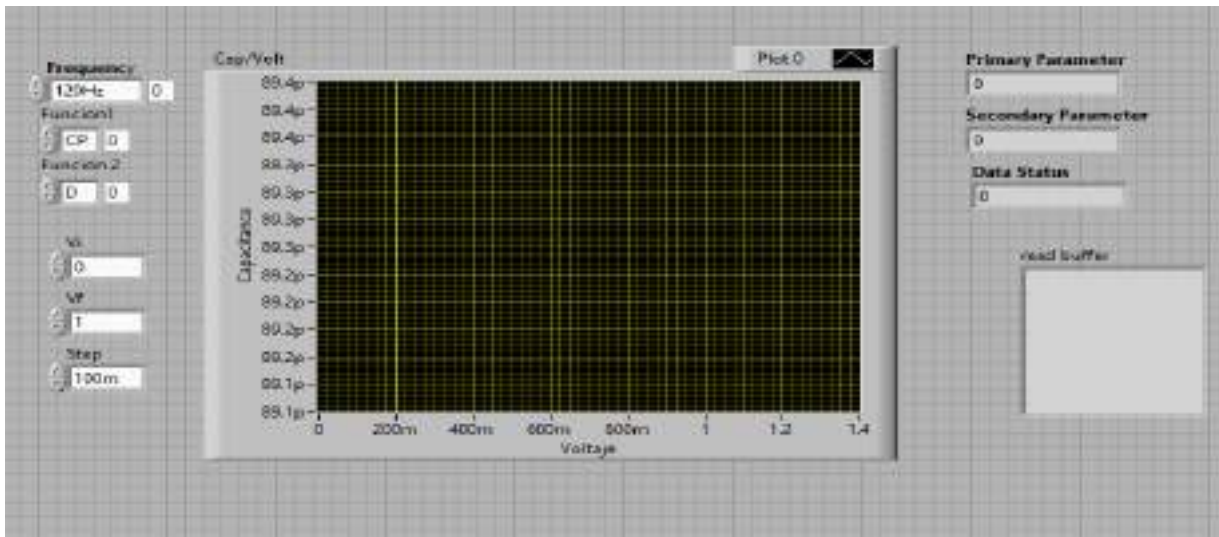


Figura 3.10. Panel de control de LabView.

Consecutivamente los datos proporcionados por el usuario son procesados para definir el número y los valores de la fuente de voltaje externa (Keithley 2400) que alimentará al dispositivo que se desea caracterizar y así obtener los valores de capacitancia correspondientes a través del medidor E4981A de cada valor de voltaje. Cabe mencionar que esto sucede paralelamente al inicializar la cadena de datos, donde se escriben los comandos que se enviarán a las fuentes para establecer dicha comunicación, después los comandos se convierten en formato texto (*string*) porque es el formato de comunicación con los instrumentos.

Posteriormente, realizando la entrada de los instrumentos simultáneamente al ciclo (*while loop*) del programa se encargará de realizar dos tareas:

1. Previamente se reciben y convierten los comandos que serán enviados a los instrumentos, los datos obtenidos por los instrumentos efectuarán la medición donde se introduce una rutina de procesamiento, es decir, esta rutina incrementa los voltajes automáticamente cada vez que se ejecuta una iteración en el ciclo.
2. Por otra parte en el mismo ciclo se establece la conexión con el bus del instrumento 4981A para tomar lecturas de capacitancia, estas lecturas son correspondientes al valor de voltaje proporcionada por la fuente Keithley 2400 que se le aplica al dispositivo bajo prueba.

Una vez finalizadas todas las iteraciones del ciclo las lecturas de capacitancia y voltaje son mostradas en una gráfica y los datos podrán ser guardados en una hoja de cálculo. Finalmente la fuente es desactivada, mientras que el medidor de capacitancia deja desplegado la última lectura.

En la figura 3.11 se presenta el diagrama de flujo explicando los pasos a seguir de la programación. Es un esquema gráfico y muy sencillo que ayuda al entendimiento de la descripción del programa.

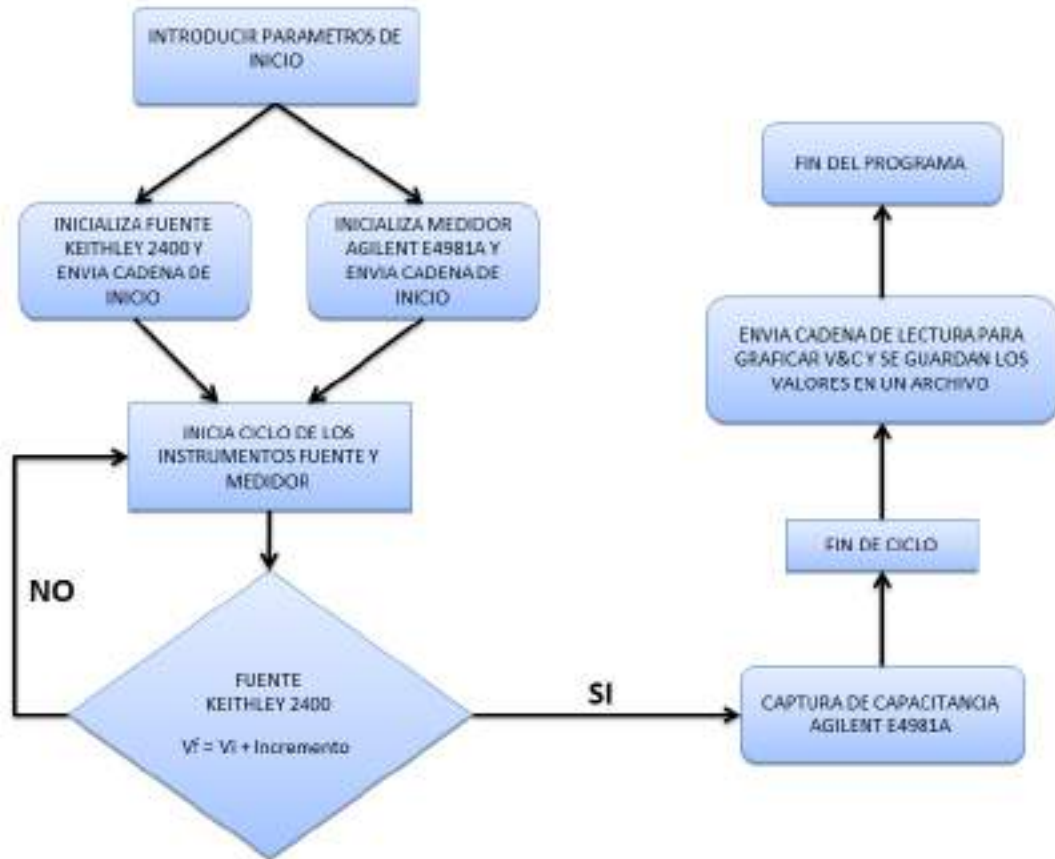


Figura 3.11 Diagrama de flujo del programa sistemas de caracterización c-v de dispositivos electrónicos.

Capítulo 4

Medición de Capacitancia

4.1 Introducción

Los instrumentos para medir la capacitancia son ampliamente usados para una variedad de aplicaciones. En esta sección se presentan los métodos de medición fundamental y las técnicas usadas para hacer mediciones precisas y consistentes para varios dispositivos electrónicos. Técnicas de medición especial, incluyendo los métodos de enriquecimiento de los niveles de señal de prueba son también cubiertos para explicar las aplicaciones de medición del rango de impedancia.

4.2 Medición de un capacitor

Los capacitores son uno de los componentes primarios usados en circuitos electrónicos. La estructura básica de un capacitor es un material dieléctrico entre dos electrodos. Los muchos tipos disponibles de capacitores son clasificados de acuerdo al tipo de dieléctrico. En este trabajo de tesis se probó el sistema virtual para medir primero capacitancia de un capacitor cerámico con un valor conocido, en este caso el valor comercial fue de 470 nF. En la figura 4.1 se muestra el diagrama de conexión para medir capacitancias. Al medir con el sistema virtual se obtuvo una gráfica mostrada en la figura 4.2. Aunque en la figura se observan fluctuaciones, el valor real es de 457 nF, difiriendo 13 nF del valor comercial, que es debido a la tolerancia con la que cuentan los capacitores. El sistema de esta forma, mediante un barrido en voltaje, no es útil para el sistema propuesto, pero nos sirvió para iniciar la programación del sistema con LabView y verificar que se estaba registrando una medición correcta.

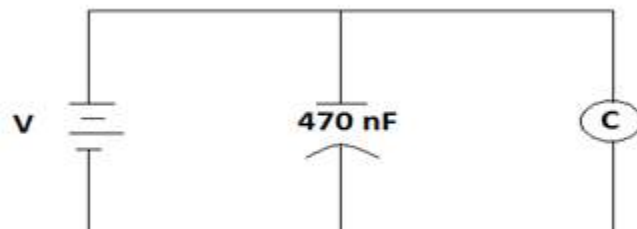


Figura 4.1. Diagrama de conexión para medir capacitancias

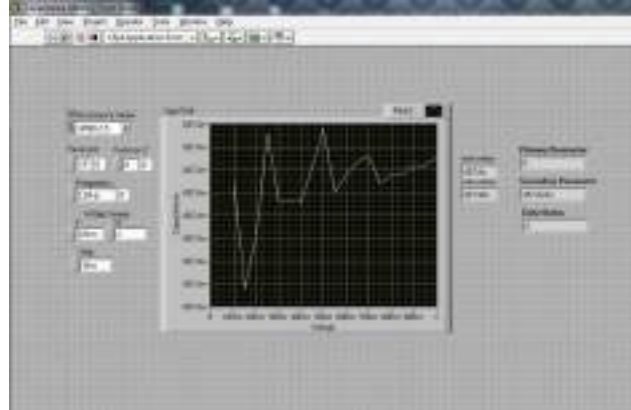
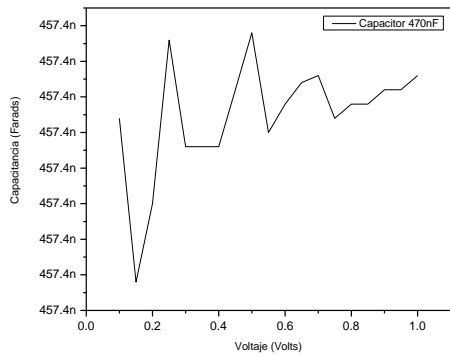


Figura 4.2. Medición de capacitancia en un capacitor electrolítico mediante el sistema de caracterización C-V

4.3 Medición de un diodo

La capacitancia de unión de un diodo determina su velocidad de conmutación y es dependiente del voltaje inverso DC aplicado a éste. Una fuente de polarización interna del instrumento de medición se usa para polarizar inversamente al diodo. La capacitancia de unión es medida al mismo tiempo. La figura 4.3 muestra el arreglo de medición. Para diodos de capacitancia variable (diodo varactor) que utilizan características de polarización de capacitancia, es importante medir la capacitancia con precisión mientras se aplica un voltaje de polarización DC. La figura 4.3 muestra un ejemplo para medir la característica C-V de un diodo.

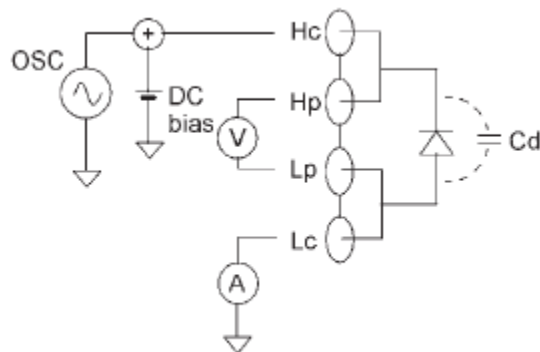


Figura 4.3 Arreglo para medición de diodo polarizado inversamente.



Figura 4.4. Características C-V de varactor.

Para probar el sistema de caracterización C-V, igual que el caso anterior, se utilizó un diodo comercial para verificar la operación del sistema. En este caso, se manejó el diodo modelo 1N4737. La curva característica es mostrada en la figura 4.5.

En esta gráfica se puede medir el voltaje autoconstruido (medido con el $1/C^2$ y la intercepción al eje X) de $V_{self} = 0.624V$ y el valor de la densidad dopante obtenida también de la gráfica (medida por la pendiente de la curva $1/C^2$) es de $-1.75 \times 10^{19} \text{ cm}^{-3}$. El signo negativo indica que el material mayormente dopado es N_d . Se realizó un ajuste lineal debido a que la gráfica presentaba una curva C-V poco suave, esto es porque el diodo ya se encontraba encapsulado.

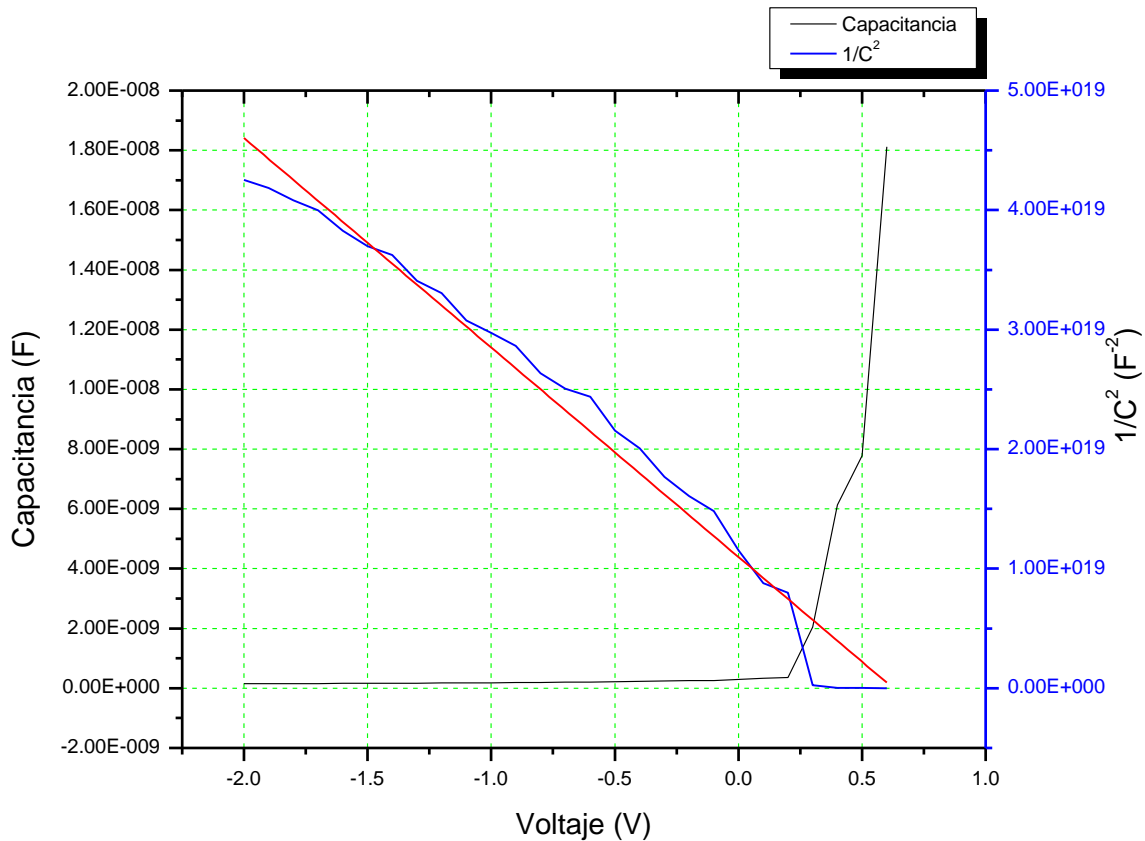


Figura 4.5. Gráfica de voltaje vs capacitancia de un transistor MOS comercial.

4.4 Medición de MOSFETs

La evaluación de las capacitancias entre la fuente, drenaje y compuerta de un MOSFET es importante en el diseño de circuitos de alta frecuencia y de conmutación. Generalmente estas capacitancias se miden mientras que una fuente de voltaje DC variable está conectada al terminal de drenaje con referencia a la fuente y la compuerta se mantiene a un potencial DC de cero (figura 4.6). Cuando un instrumento está equipado con un terminal de protección y una fuente de polarización DC interna, las capacitancias C_{ds} , C_{gd} y C_{gs} se pueden medir individualmente. Las figuras 4.7 (a) a (c) muestran los diagramas de conexión para las terminales High, Low y Guard (protector) de un instrumento. El guard es de los conductores exteriores de los conectores BNC de las terminales UNKNOWN (DESCONOCIDO) del instrumento. El medidor de capacitancia, modelo E4980A, con opción al E4980A-001 tiene una fuente independiente DC adicional a una polarización interna DC y permite que el arreglo de medición C_{gs} sea simplificado como se muestra en la fig. 4.7 (d).

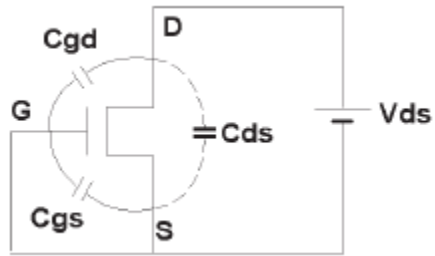
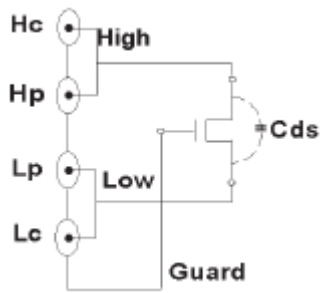
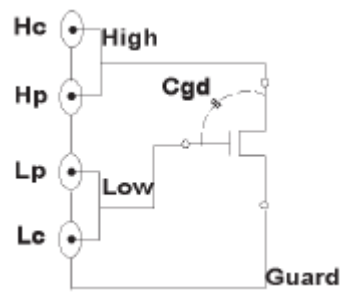


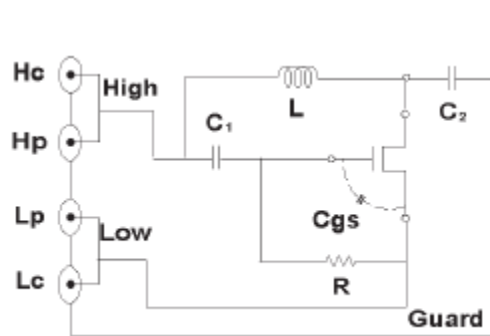
Figura 4.6. Capacitancia de MOSFET



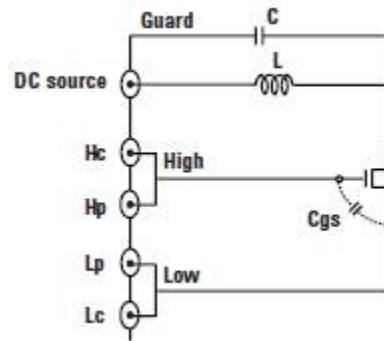
(a)



(b)



(c)



(d)

Figura 4.7. Conexión para medición de capacitancia MOS.

Se utilizó un transistor comercial tipo N-MOS modelo MPF102, realizando un barrido de voltaje de -10 a 5 volts. La gráfica obtenida por el sistema se muestra en la figura 4.8.

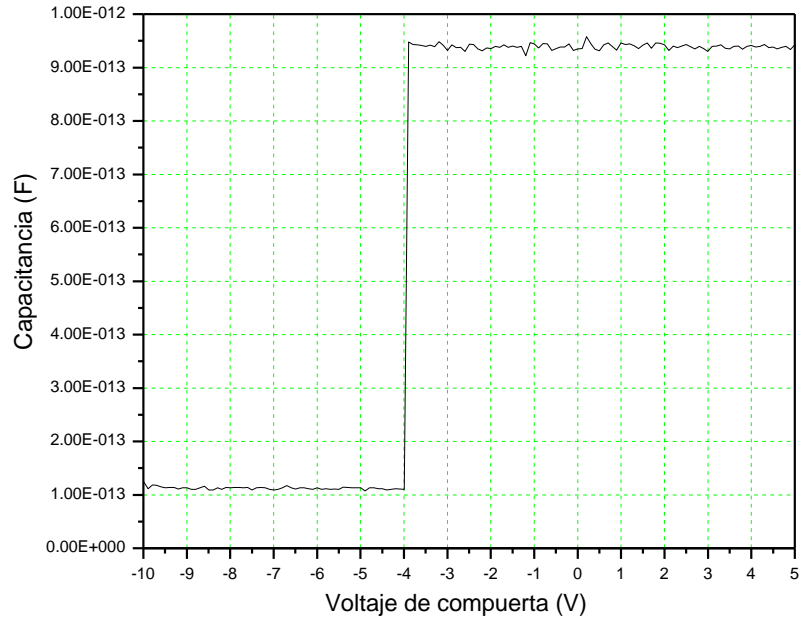


Figura 4.8 Gráfica de capacitancia vs. voltaje de un transistor comercial.

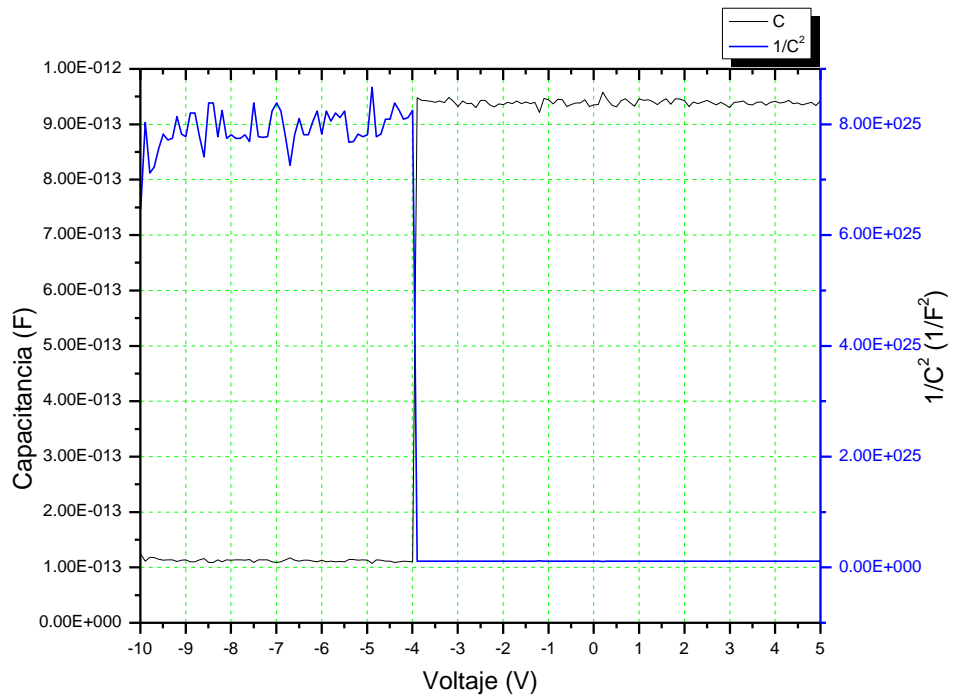


Figura 4.9 Gráfica de capacitancia vs. voltaje de un transistor comercial.

Al graficar $1/C^2$ como una función del voltaje de compuerta (V_G) en transistores MOS es posible medir el perfil de N_{SUB} ya que es inversamente relacionado al recíproco de la pendiente de la curva $1/C^2$ vs. V_G . El resultado de esta medición se observa en la figura 4.9. El valor obtenido fue de $N_{sub} = -7.98E-12$. Una pendiente negativa indica que la concentración es de donadores. La capacitancia del óxido en este caso es de $C_{ox} = 1.59238E-12$. Cabe mencionar que la curva se observa muy cuadrada debido a que nuevamente, el transistor medido se encontraba ya encapsulado. Este tipo de medición es demostrativa y para tener una idea de la estructura interna del transistor.

4.5 Medición C-V sobre obleas de silicio

Las características C-V (capacitancia versus voltaje de polarización DC) de una estructura MOS es un parámetro importante de medición para evaluar obleas de silicio. Para calcular la capacitancia que varía con el voltaje de polarización DC aplicado, la capacitancia es medida a un nivel de señal AC bajo al barrer una serie de puntos de polarización de voltaje. Debido a que el dispositivo usualmente exhibe una capacitancia baja (típicamente en los picofaradios), el instrumento debe ser hábil para medir capacitancia baja con una alta resolución a un nivel de señal de prueba bajo. También se requiere un voltaje de polarización de salida preciso para mediciones C-V exactos. Las condiciones típicas de medición de C-V están listadas en la Tabla 4.1. Instrumentos puente de auto-balanceo se emplean generalmente para satisfacer el rendimiento requerido.

Tabla 4.1 Condiciones de medición C-V típicas

Frecuencia	10 kHz a 1 MHz (10 kHz a 100 MHz para medición de una capa de óxido de compuerta delgada)
Rango de capacitancia	0.0001 a 1000 pF
Precisión de capacitancia	±0.1%
Nivel de señal de prueba	20 o 30 mV rms típica
Voltaje de polarización DC	0 a ± 40 V
Resolución de voltaje de polarización	≤ 10 mV
Precisión de voltaje de polarización	±0.1%

Las figuras 4.10 y 4.11 muestran los arreglos de medición que se pueden usar con una estación de pruebas de obleas. Ya que la terminal Low del instrumento de auto-balanceo es sensible a un ruido entrante, es importante que la terminal Low no sea conectada al sustrato que está eléctricamente conectado a la ruidosa tierra del probador. Si el *chuck* para oblea (plataforma o porta objeto) del probador es aislado de la tierra y efectivamente aislado, el conductor blindado del cable 4TP puede ser conectado a la terminal aislada del probador para minimizar la capacitancia parásita alrededor de las pruebas.

Cuando se mide un dispositivo con baja resistividad, el voltaje DC aplicado decremente debido a la corriente de fuga DC a través del dispositivo y así puede causar error en la medición C-V. Usando la función de nivel de autocontrol de polarización DC ayuda a reducir este problema. El arreglo de medición que se utilizó es el de la figura 4.11 debido a las terminales de las puntas de prueba de la estación de pruebas.

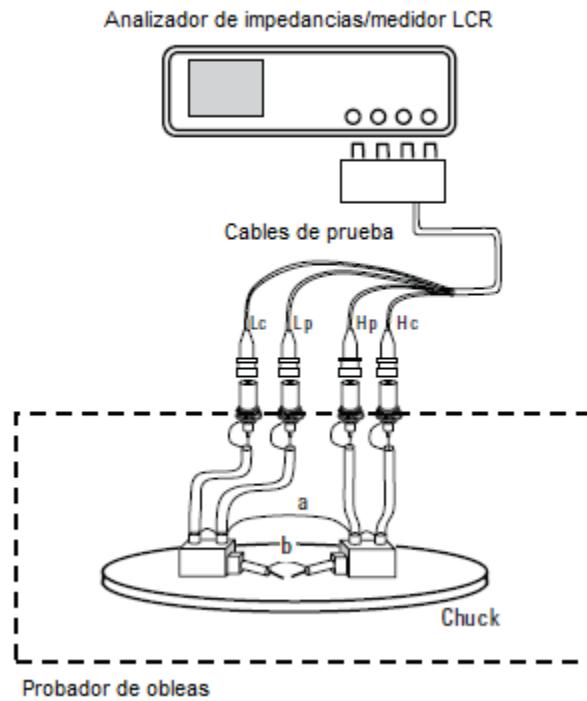


Figura 4.10. Arreglo de medición C-V usando cables de extensión 4TP.

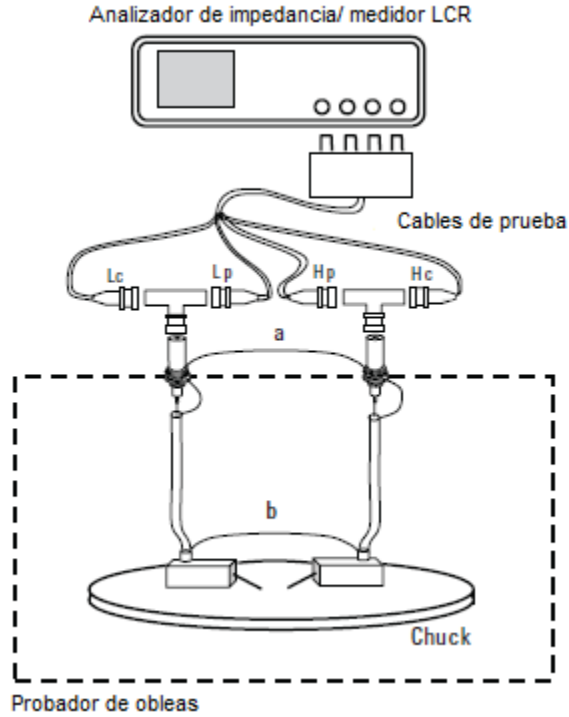


Figura 4.11. Arreglo de medición C-V usando cable de extensión 2TP.

4.5.1 Extracción de parámetros MOS de las mediciones C-V

Las mediciones a nivel de oblea se hicieron a unos capacitores CMOS fabricados en el Instituto Nacional de Astrofísica, Óptica y Electrónica (INAOE). Se utilizó una oblea de silicio $\langle 100 \rangle$ tipo N Grade Prime marca Addison de espesor $th = 0.05 \text{ cm}$, resistencia R_s de 47.5Ω y resistividad $\delta = (R_s)(th) = 2.375 \Omega \text{ cm}$. Los capacitores fueron fabricados en el INAOE utilizando tecnología MOS con un área, de acuerdo a la litografía, de 0.00723 cm^2 . En la oblea se creció un óxido de 648 \AA .

4.5.1.1 Medición del espesor del óxido a partir de la curva C-V

El T_{ox} puede ser calculado a partir de la ecuación 2.9 y utilizando la capacitancia del óxido (C_{ox}) a partir de la curva C-V a alta frecuencia (figura 4.12) cuando el dispositivo es polarizado en fuerte acumulación, con:

$$A = (0.085 \text{ cm})^2 = 0.00723 \text{ cm}^2$$

$$\epsilon_{ox} = 0.34 \times 10^{-12} \text{ F/cm}$$

$$C_{ox} = 383.05 \times 10^{-12} \text{ F}$$

$$T_{ox} = 642 \times 10^{-8} \text{ cm} = 642 \text{ \AA}$$

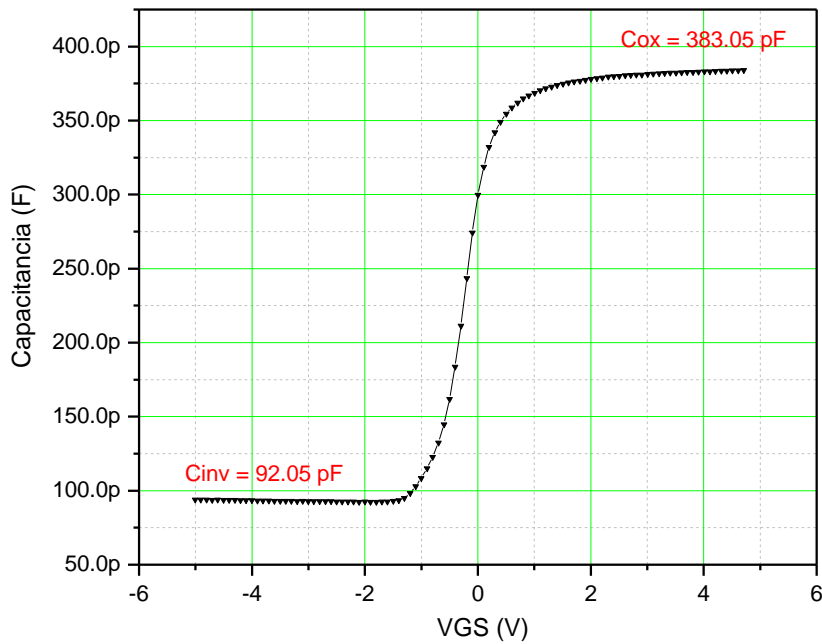


Figura 4.12 Característica C-V obtenida por el sistema de adquisición de datos de un capacitor MOS a nivel oblea

4.5.1.2 Densidad de dopado

Un método para determinar la densidad de dopado del semiconductor en un dispositivo MOS en equilibrio, es midiendo en alta frecuencia la capacitancia máxima del dispositivo MOS en acumulación (C_{ox}), y la capacitancia mínima en inversión (C_{inv}) [8]. La técnica de capacitancia máxima-mínima ha sido extensamente usada por su simplicidad. Estas mediciones se realizan en fuerte inversión y utilizan la dependencia del ancho de la región de carga espacial de un capacitor MOS con la densidad de dopado del sustrato.

De [14], se obtiene la relación para la concentración:

$$N_D = \frac{4 \phi_F}{q \epsilon_{si} \epsilon_0 A^2} \frac{C_{inv}^2}{\left(1 - \frac{C_{inv}}{C_{ox}}\right)^2} \quad (4.1)$$

Donde ϕ_F es el potencial superficial, q es la carga electrónica, ϵ_{si} y ϵ_0 son la permitividad dieléctrica del silicio y del vacío, A es el área del dispositivo, C_{ox} y C_{inv} son las capacitancias máxima y mínima.

Otro método para determinar esta concentración es el método empleado por Nicollian el cual se resuelve por iteración y la ecuación es [7]:

$$N_D = \frac{4kT(\epsilon_{ox})^2}{q^2\epsilon_{si}(T_{ox})^2} \left(\frac{C_{ox}}{C_{inv}} - 1 \right)^{-2} \left(\ln \left(\frac{N}{n_i} \right) + \frac{1}{2} \ln \left(2 \ln \left(\frac{N}{n_i} \right) - 1 \right) \right) \quad (4.2)$$

Donde, k es la constante de Boltzman, q es la carga electrónica, T es la temperatura, n_i la concentración intrínseca y T_{ox} el espesor del óxido.

Con los datos experimentales de la curva C-V en alta frecuencia realizamos los cálculos de acuerdo con la ecuación (4.2). Son:

$$kT = (1.38066 \times 10^{-23} \text{ J/K})(290 \text{ K})$$

$$q = 1.6 \times 10^{-19} \text{ C}$$

$$\epsilon_{si} = 1.04 \times 10^{-12} \text{ F/cm}$$

$$T_{ox} = 642 \times 10^{-8} \text{ cm}$$

$$C_{inv} = 92.05 \times 10^{-12} \text{ F}$$

$$n_i = 1.45 \times 10^{10} \text{ cm}^{-3}$$

$$N_D = 2.284 \times 10^{15} \text{ cm}^{-3}$$

De la ecuación (4.1) es posible calcular el potencial de Fermi:

$$\phi_F = 0.637 \text{ V}$$

Y el potencial superficial $\phi_s = 2\phi_F$

$$\phi_s = 1.27 \text{ V}$$

4.5.1.2 Capacitancia de banda plana y voltaje de banda plana

Para obtener la capacitancia de banda plana se ocupa la ecuación (2.10) y (2.11) con $N_D = 2.284 \times 10^{15} \text{ atom/cm}^3$ se tiene:

$$\lambda = 1.2336 \times 10^{-5}$$

$$C_{FB} = 492 \text{ pF}$$

El voltaje de banda plana puede ser obtenido por la ecuación (2.10) o a partir de la curva de C-V para alta y baja frecuencia (ver figura 2.17) como se muestra en la figura 4.13, obteniendo un voltaje de $V_{fb} = 1.47 \text{ V}$.

4.5.1.3 Voltaje de umbral

El voltaje de umbral se puede obtener a partir de la ecuación (2.12) o también se puede obtener a partir de la característica de la figura 4.13 como se mencionó en el capítulo 3. Obteniendo así un $V_{th} = -1.12$ V.

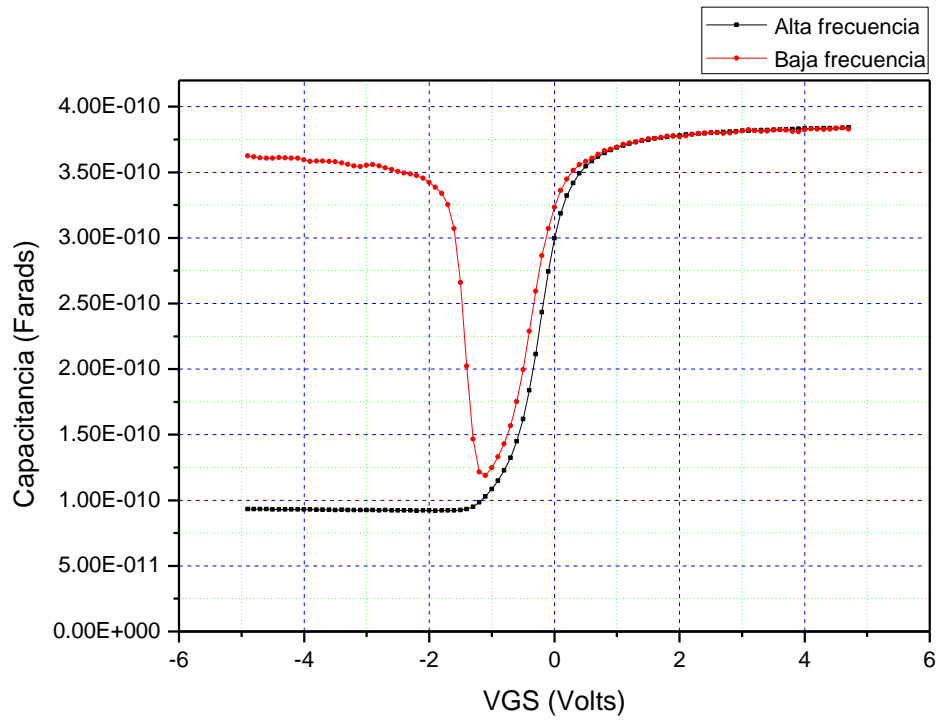


Figura 4.13. Característica C-V a alta y baja frecuencia.

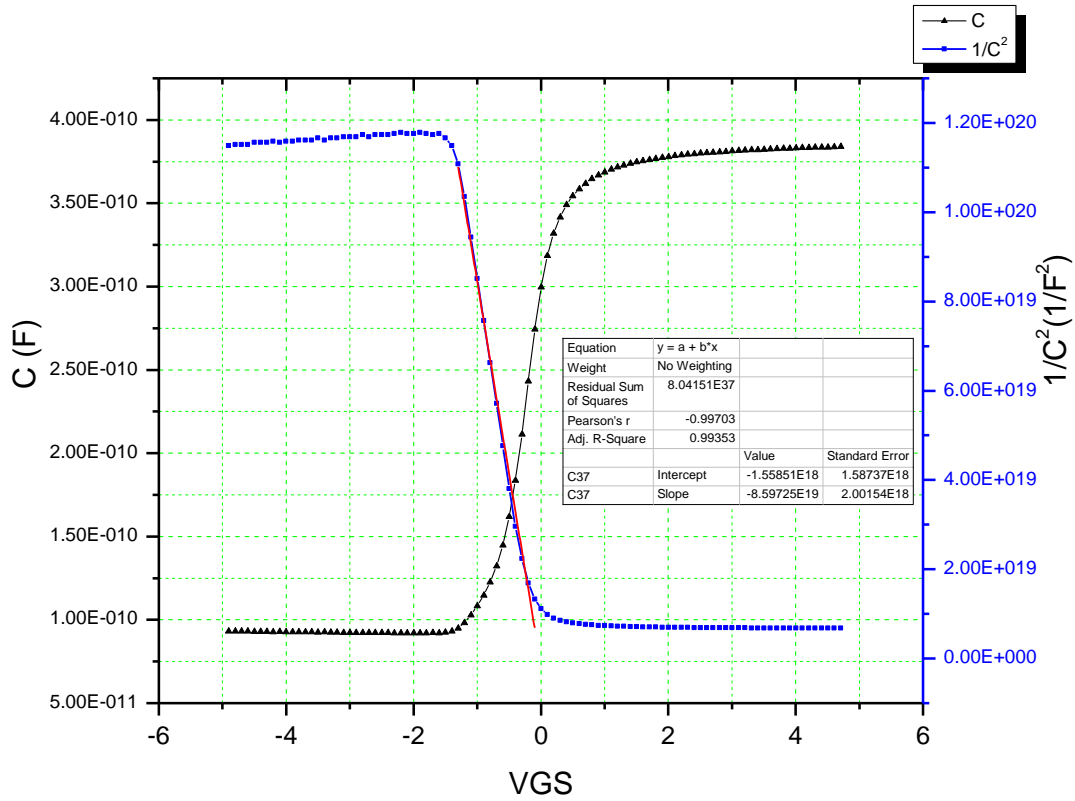


Figura 4.14. Característica C-V a alta y baja frecuencia.

Realizando un barrido C-V es posible desplegar la capacitancia ($1/C^2$) como una función del voltaje de compuerta (V_{GS}) en transistores MOS. Este barrido puede dar importante información del perfil de dopado porque la concentración de dopado del sustrato (N_{SUB}) es inversamente relacionado al recíproco de la pendiente de la curva $1/C^2$ vs. V_{GS} . La concentración dopante del sustrato es extraída de la pendiente de la curva $1/C^2$ y es desplegada en la gráfica de la figura 4.14 obteniendo $N_{SUB} = -8.5972 \times 10^{19}$, como es pendiente negativa, indica donadores.

Capítulo 5

Conclusiones

Se implementó un sistema automático de adquisición de datos para la caracterización de dispositivos semiconductores. El sistema utiliza programación LabView, interfaz GPIB-488 y dos instrumentos para la generación de las curvas C-V.

A través de este proyecto de tesis fue posible obtener los diferentes parámetros de capacitores con estructura Metal-Aislante-Semiconductor.

El sistema se implementó primeramente para probar la instrumentación con un capacitor comercial de 470 nF, obteniéndose un valor de 457.4 nF, la diferencia de valores se debe a la tolerancia del capacitor. Aunque este sistema no muestra ninguna ventaja al medir este tipo de dispositivo discreto sirvió para realizar algunas pruebas iniciales del funcionamiento del mismo.

El proyecto fue utilizado también para generar la curva C-V de diodos. Se probó un diodo comercial. Las curvas tienen una tendencia similar al de un diodo aunque no tiene una forma suave, esto puede ser debido a que el diodo se encuentra encapsulado. A partir de estas mediciones se muestra la forma de obtener algunos parámetros de los diodos. Se obtuvo un voltaje autoconstruido de $V_{self} = 0.624V$ y el valor de la densidad dopante de $-1.75 \times 10^{19} cm^{-3}$. El signo negativo indica que el material mayormente dopado es N_d .

Posteriormente se caracterizó un transistor MOS comercial que muestra una tendencia similar al de la característica C-V. La forma ligeramente lineal se atribuye al hecho de que el transistor se encuentra encapsulado. Se debería tal vez tomar en cuenta las capacitancias parásitas del encapsulado incluyendo los alambres hacia el encapsulado. La capacitancia del óxido en este caso es de $C_{ox} = 1.59238E-12$. El valor obtenido de $N_{sub} = -7.98E-12$. Una pendiente negativa indica que la concentración es de donadores.

Finalmente se obtuvieron los parámetros importantes en dispositivos con estructuras MOS a nivel oblea, mediante curvas C-V a alta frecuencia, midiendo la capacitancia de inversión y la capacitancia en acumulación, así determinamos la densidad de dopado del sustrato y el espesor del óxido. También fue posible medir otros parámetros del proceso de fabricación como son la capacitancia de banda plana, el voltaje de banda plana y el voltaje de encendido de un transistor MOS.

El sistema de adquisición de datos muestra que este tipo de instrumentación puede ser utilizado para caracterizar dispositivos discretos como integrados, con ciertas limitaciones de empaquetamiento. Pero lo principales que se puede utilizar para caracterizar estructuras MIS con nuevos materiales donde se tenga una estructura Metal-Aislante-Semiconductor. Y no exclusivamente al semiconductor como silicio, ni al aislante como óxido de silicio.

Referencias

- [1] Viranjay M. Srivastava, Capacitance-Voltage Measurement for Characterization of a Metal-Gate MOS Process, Int. Journal of Recent Trends in Engineering, Vol. 1, No. 4, pp. 4-7 2009.
- [2] Shuvro Chowdhury, et al., C-V Characterization and Analysis of Temperature and Channel Thickness Effects on Threshold Voltage of Ultra-thin SOI MOSFET by Self-Consistent Model, World Academy of Science Engineering and Technology, Vol. 45, 2010.
- [3] S. J. Song, et. al., Characterization of Interface States in MOS Systems by Using Photonic High-Frequency Capacitance-Voltage Responses, Journal of the Korean Physical Society, Vol. 41, No. 6, pp. 892-895, 2002.
- [4] R. L. Boylestad, L. Nashelsky, Electrónica: Teoría de Circuitos, 6ª. Ed., Editorial Pearson, 1997.
- [5] S. M. Sze, Physics Semiconductor Devices, John Wiley & Sons, Third edition, 2006.
- [6] M. Aceves, C. Falcony, J. A. Reynoso, W. Calleja, R. Perez. Material science in semiconductor processing 2, 173 (1999).
- [7] E. H. Nicollian and J. R. Brews, MOS Physics and Technology, New York: Wiley, 1982.
- [8] A. S. Grove, Physics and Technology of Semiconductor Devices, Wiley; 1st edition (January 15, 1967).
- [9] Agilent E4981A Capacitance Meter, datasheet
<http://cp.literature.agilent.com/litweb/pdf/5989-8963EN.pdf>
- [10] Agilent Impedance Measurement Handbook, A guide to measurement technology and techniques 4th Edition.
- [11] Agilent 16048A Test Leads, Operation and Service Manual, 4th Edition, Agilent Technologies Japan, Ltd.
- [12] Keithley 2400 Series SourceMeter User's Manual, 1998.
<http://research.physics.illinois.edu/bezryadin/labprotocol/Keithley2400Manual.pdf>
- [13] Agilent 82357B USB/GPIB Interface,
datasheet <http://cp.literature.agilent.com/litweb/pdf/82357-90003.pdf>
- [14] D.K. Schroder, Semiconductor Material and Device Characterization, John Wiley & Sons, 2006.

Apéndice A

A.1 Programa LabView

En éste apéndice se muestra el diagrama completo de todo el programa con todos los componentes e interconexiones entre ellos, el ciclo y las estructuras que permiten hacer los barridos de voltaje.

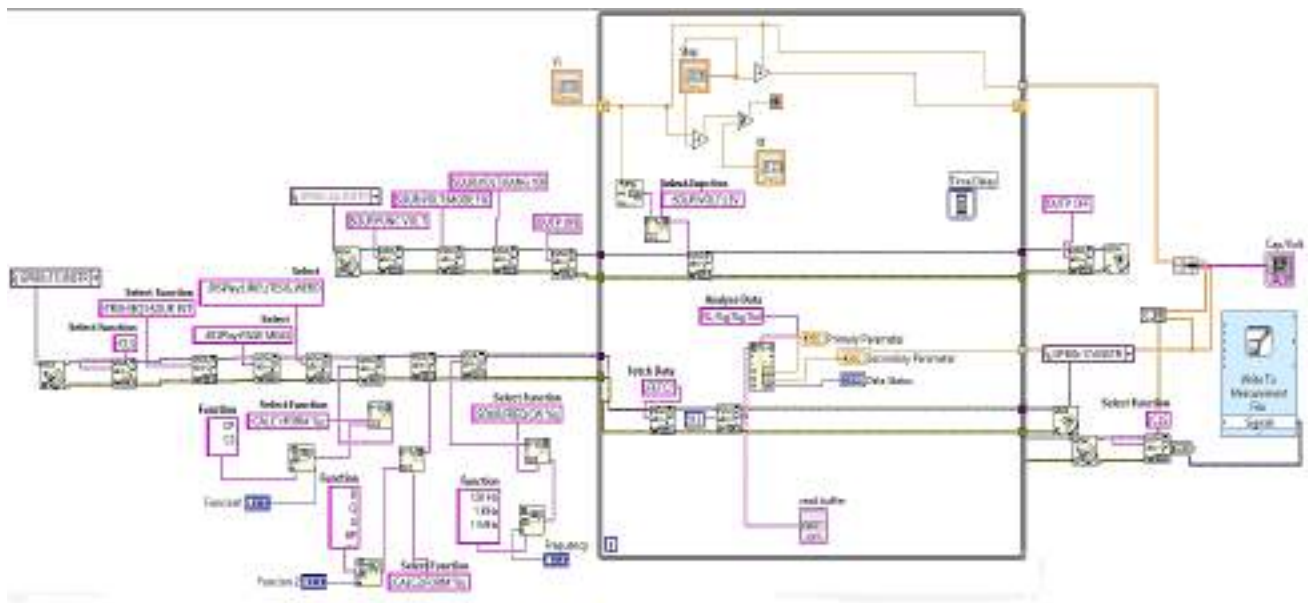


Figura A.1. Diagrama de bloques, interconexión del programa.

El diagrama a bloques completo de la figura A.1 se divide para poder observar con mayor detalle todos los módulos que lo conforman. Para dar una mejor ilustración las interconexiones que quedan al aire al dividir el diagrama para su explicación se conectan a través de letras, es decir, si en una figura se encuentra una "c" al final de la interconexión y en otra vuelve aparecer la "c" al principio de la interconexión esto indica que deben estar conectadas en el diagrama completo.

En la figura A.2 se muestran los dos principales instrumentos que hacen posible esta caracterización. Primeramente con la fuente 2400 que proporciona el barrido de voltaje al dispositivo bajo prueba, se abre una sesión con VISA OPEN para establecer el canal de comunicación (GPIB), posteriormente se abren una serie de comandos por medio de una función llamada VISA WRITE estas arman

una cadena de preparación para ejecutar cierta comunicación con el aparato y elaborar la tarea.

Simultáneamente el medidor de capacitancia ejecuta las mismas funciones en un orden lógico, como se explicó con la fuente de voltaje, sólo que se agregan tres VISA WRITE para establecer parámetros de inicialización como la frecuencia, factor de disipación, factor de calidad, conductancia paralela equivalente, capacitancia en serie o paralelo. En las tres funciones de VISA WRITE antes mencionados se agrega primeramente un formato FORMAT INTO STRING esto con el fin de poder seleccionar la función y tener la combinación de un comando PICK LINE que permite elegir un índice de línea al momento de introducir los parámetros, es decir, especifica las funciones al momento de iniciar el instrumento 4981A.

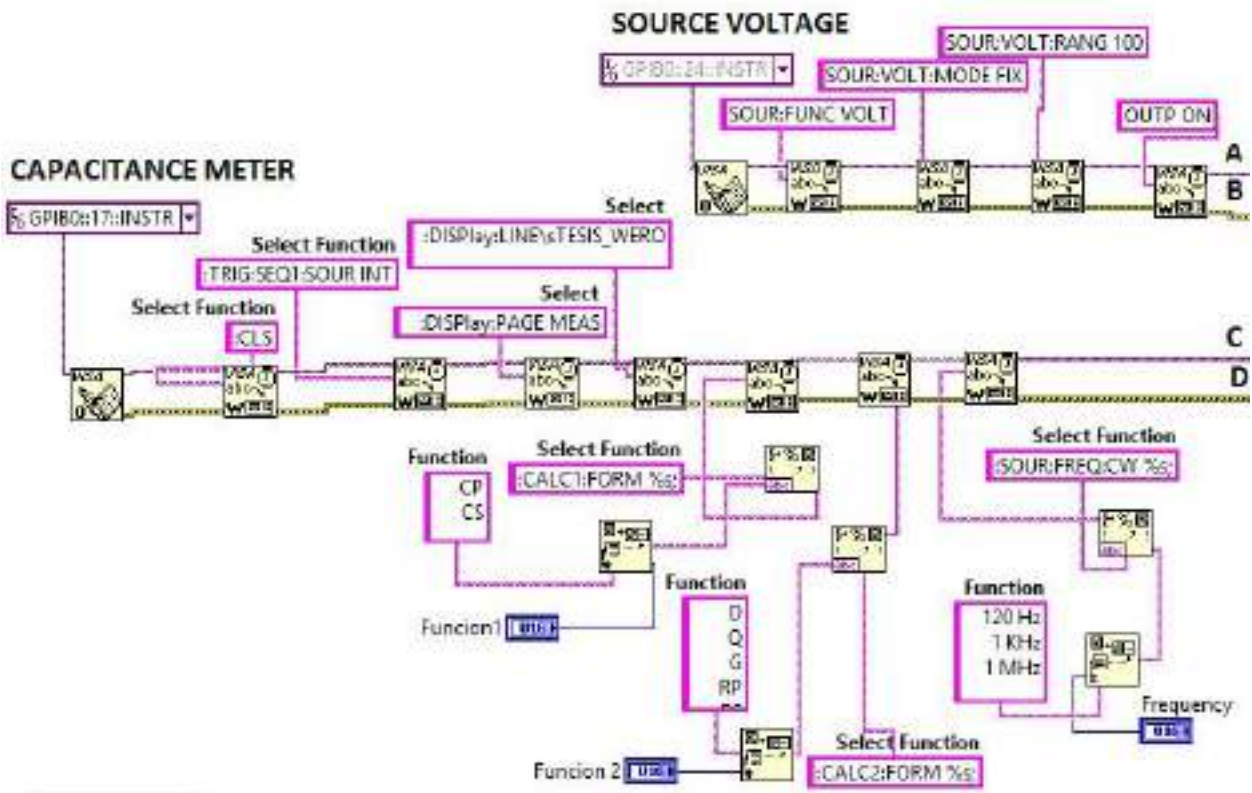


Figura A.2. Inicialización de los instrumentos fuente 2400 (GPIB0:24) y medidor de capacitancia 4981A (GPIB0:17).

Una vez conmutados los instrumentos se envía una cadena de inicio hacia el ciclo `WHILE LOOP` donde se empiezan a ejecutar una serie de procesos matemáticos y lecturas del dispositivo, dicho ciclo contiene un temporizador el cual proporciona un tiempo esto con la finalidad que el programa ejecutarse correctamente.

En la parte superior del ciclo `WHILE LOOP` se muestran una serie de iconos correspondientes a la casilla de adquisición numérica que serían los incrementos de valores de voltaje final, inicial y escalón, este arreglo corresponde solamente a la fuente de voltaje. Estas casillas también son mostradas en el panel frontal.

Precedentemente del arreglo de los incrementos se establece un `VISA WRITE` dentro del ciclo para poder crear la comunicación de la fuente de voltaje con respecto a las iteraciones de los incrementos hasta llegar al voltaje final, una vez realizadas las ejecuciones, la fuente sale de ciclo y se desactiva con un `VISA CLOSE` con el fin de evitar accidentes al momento de terminar las lecturas.

Paralelamente el medidor de capacitancia sigue la escritura con un `VISA WRITE` dentro del ciclo para seguir con la cadena de corrimiento y así establecer la lectura de capacitancia con el icono `VISA READ` que por medio de esta función se reciben los datos provenientes del instrumento medidor con un formato *string* que escanea los parámetros primarios y secundarios de la capacitancia, consecuentemente se comunican con la función `BLUNDE` esto permite acoplar el barrido de voltaje con la lectura de capacitancia, es decir, ensambla las dos lecturas principales el voltaje y la capacitancia aprovechando este punto aprovechando los dos vectores se agregó una gráfica para desplegar los resultados. Después de terminar las ejecuciones en el ciclo el medidor de capacitancia mantiene la lectura final.

Al salir la información de ciclo los datos son indexados y colocados en un arreglo para agruparlos y relacionarlos entre sí para poder guardar los archivos en un formato de texto.

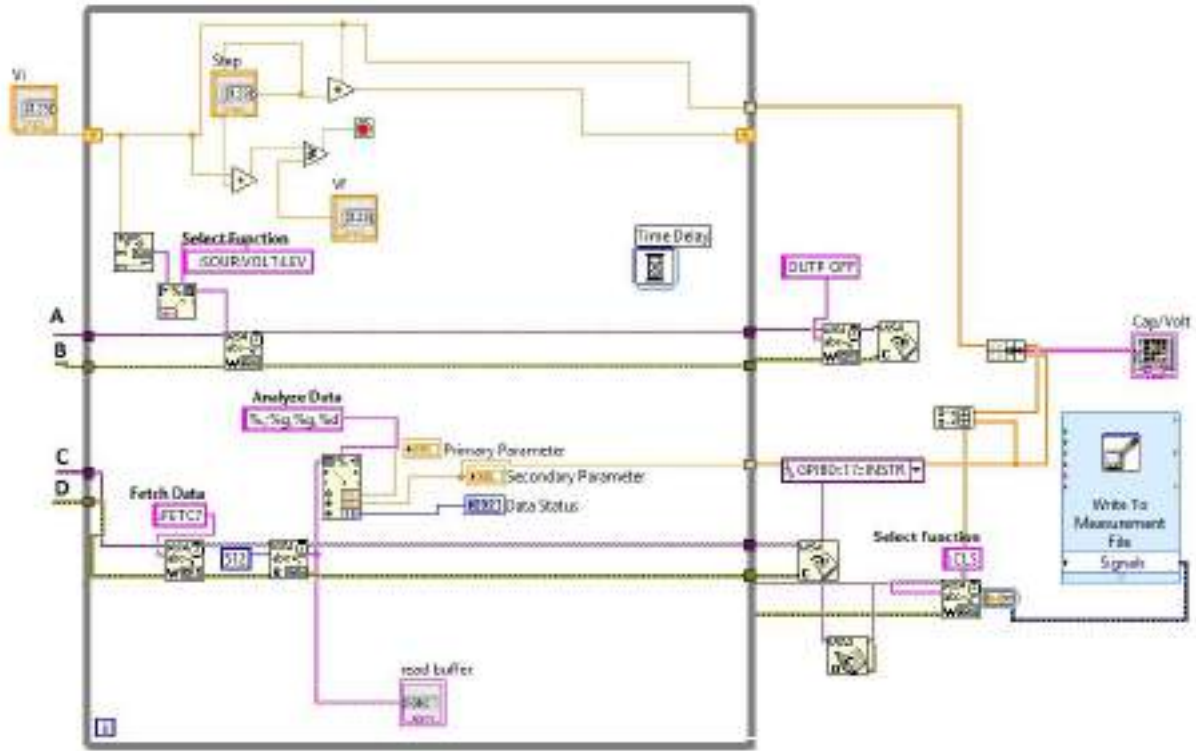


Figura A.3. Inicio del ciclo del programa y adquisición de datos.