



"El saber de mis hijos
hará mi grandeza"

UNIVERSIDAD DE SONORA

División de Ciencias Exactas y Naturales

Departamento de Investigación en Física

Ingeniería en Tecnología Electrónica

Detección de Fallas en Circuitos VLSI con el Uso de Algoritmos Shortest Path

T E S I S

Que para obtener el título de:
Ingeniero En Tecnología Electrónica

Presenta:

Aarón Alejandro López Carvajal

Director de Tesis:
Dr. Roberto Gomez Fuentes



Hermosillo, Sonora, México, Noviembre del 2013

Universidad de Sonora

Repositorio Institucional UNISON




**"El saber de mis hijos
hará mi grandeza"**



Excepto si se señala otra cosa, la licencia del ítem se describe como openAccess

Índice general

1. Objetivos	1
1.1. Objetivo general	1
1.2. Objetivos específicos	1
2. Introducción	3
2.1. La Función del <i>Testing</i>	4
2.2. Prueba de Circuitos Integrados	6
2.3. Efectos de Acoplamiento	7
3. Modelo de Fallas	9
3.1. Fallas <i>Stuck-at</i> Simples	10
3.2. Simulación para la Verificación del Diseño	11
3.3. Problema de los Caminos Más cortos	13
3.4. Algoritmo de Dijkstra	14
3.4.1. Procedimiento	14
3.5. Algoritmo de Bellman - Ford	19
3.5.1. Procedimiento	19
3.5.2. Desventajas del algoritmo de Bellman-Ford	23
3.6. Algoritmo Breadth-First	23
3.6.1. Procedimiento	24
3.7. Algoritmo Directed Acyclic Graph	27
4. Circuito de Prueba Estándar	29
4.1. Circuito Combinacional C432	29
4.2. Módulos del circuito C432	31
5. Resultados	43
5.1. Proceso de Trabajo	44
5.2. Aplicación de los Resultados para la Detección de Fallas 	54
6. Conclusiones	55

A. Código MATLAB57

Capítulo 1

Objetivos

1.1. Objetivo general



El objetivo principal de este trabajo consiste en encontrar el método más efectivo para la detección de fallas en interconexiones considerando acoplamientos capacitivos para circuitos VLSI (Very Large Scale Integration) combinacionales, utilizando algoritmos *Shortest Path*. Para ello se evaluarán dichos algoritmos para deducir cuál es el más eficiente en cuanto al tiempo de trabajo y sus resultados.

1.2. Objetivos específicos

- 1 - Comprobar la utilización de la teoría de grafos para realizar el modelo del circuito combinacional C432 el cual se le pueda aplicar algoritmos *Shortest Path*.
- 2 - Identificar el mejor algoritmo *Shortest Path*, en cuanto al tiempo de trabajo, y aplicarlo para detectar fallas en circuitos VLSI.
- 3 - Obtener y discutir los resultados arrojados por dicho algoritmo.
- 4 - Aplicar los resultados obtenidos para la detección de fallas en circuitos de VLSI.



Capítulo 2

Introducción

El desarrollo de la tecnología bipolar para circuitos integrados (IC's) ha ido mano a mano con la mejora continua en materiales semiconductores y componentes discretos durante la década de 1950-1960. Consecuentemente, la tecnología bipolar del Silicio forma la base para los IC's durante 1970. Debido a que las dimensiones del circuito se reducen en el transistor de efecto de campo metal-óxido-semiconductor (MOSFET) ó metal-óxido-semiconductor (MOS), éste se ha tomado como la mayor plataforma de tecnología para IC's de Silicio. La principal razón es la facilidad de miniaturizar y hacer una alta producción para MOS comparados con los de tecnología bipolar. Para circuitos de integración en escala muy grande (VLSI es la sigla en inglés de Very Large Scale Integration) el poder de bajo recurso de las compuertas complementarias MOS (CMOS) es una base significativa comparada con los circuitos integrados bipolares.

La evolución de la tecnología MOS ha seguido la famosa ley de Moore, ver figura 2.1, la cual indica que el número de transistores por unidad de superficie en circuitos integrados se duplica cada año y que la tendencia continuaría durante los veinte años siguientes a su formulación. La tecnología bipolar también se ha beneficiado del progreso en litografía y es fabricada actualmente usando herramientas de profundidad Ultra Violeta (UV) con tamaños cercanos a los 100 nm [1].

La complejidad de la tecnología de circuitos integrados ha alcanzado el punto donde se intenta integrar 2600 millones de transistores sobre un solo chip, y se trabaja con frecuencia del reloj de 2.4 GHz [4]. La evolución de la arquitectura del microprocesador en los últimos años ha sido facilitada por la mejora en los procesos tecnológicos del silicio. Como fue pronosticado en 1965 por el cofundador de Intel, Gordon Moore, el número de transistores colocados en un solo chip ha sido doblado bruscamente en un par de años. Cada nuevo proceso tecnológico traerá más pequeños y rápidos dispositivos, permitiendo a los diseñadores crear arquitecturas más complejas trabajando a una velocidad de reloj

más alta.

Debido a que conforme pasa el tiempo, el número de transistores en un solo chip aumenta, la probabilidad de que ocurra una falla dentro del circuito se vuelve cada vez más cercana. La proximidad entre un transistor y otro va en incremento y esto puede generar efectos de proximidad. Las incorrecciones en sistemas electrónicos son empleadas en varios caminos.

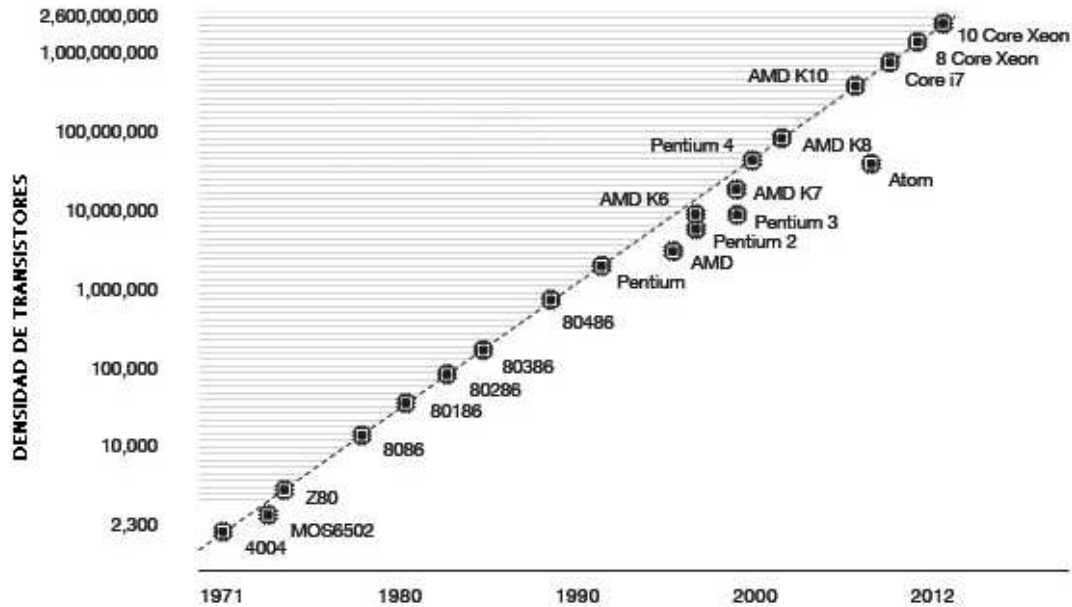


Figura 2.1: Ley de Moore [3].

2.1. La Función del *Testing*

Cuando un producto se diseña, fabrica y se prueba, puede que éste no pase las pruebas, entonces pueden ser muchos los casos de esta falla. Puede que (1) la prueba esté mal realizada, (2) el proceso de fabricación haya fallado, (3) el diseño fue incorrecto o (4) las especificaciones tienen algún problema. El papel del *testing* es detectar si hubo una falla en el diseño y la función del *diagnóstico* es determinar exactamente qué salió mal, y en dónde necesita ser alterado el proceso. Por lo tanto, la corrección y la eficacia de la prueba es más importante para la calidad de los productos.

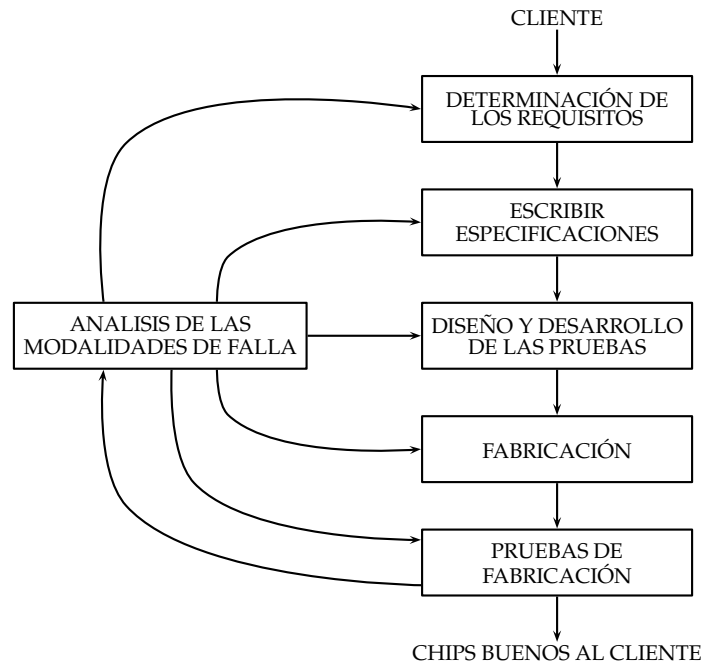


Figura 2.2: Proceso de realización del VLSI. [2]

Si el procedimiento de prueba es bueno y el producto falla, entonces sospechamos del proceso de fabricación, del diseño o de las especificaciones. Si todos los estudiantes en una clase reprueban, entonces frecuentemente se considera que el maestro está fallando. Si sólo unos reprueban, asumimos que el maestro es competente, pero algunos estudiantes están teniendo dificultades. Para seleccionar a los estudiantes con probabilidad de éxito, los maestros pueden usar requisitos o pruebas de admisión para la selección. Las pruebas distribuidas a lo largo de un proceso de realización de un producto atrapan las causas de los defectos de producción tan pronto como estén activos, y antes que se hayan hecho mucho daño. Una estrategia establecida bien pensada es crucial para la realización económica de los productos.

Los beneficios del *testing* son *la calidad* y *la economía*. Estos dos atributos no son independientes y tampoco pueden ser definidos sin el otro. *La calidad significa la satisfacción de las necesidades del usuario a un mínimo costo*. Un buen proceso de prueba puede eliminar todos los productos malos antes de llegar al usuario. Sin embargo, si se producen demasiados elementos malos, entonces el costo de esos malos elementos tendrán que ser recuperadas de los precios cobrados por los pocos artículos buenos que se produjeron. Será imposible para un ingeniero el diseñar un producto de calidad sin una profunda comprensión de los principios físicos subyacentes a los procesos de fabricación y de prue-

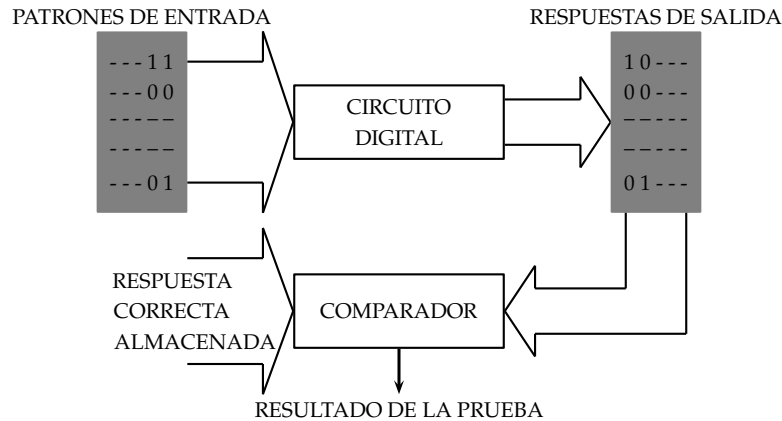


Figura 2.3: Principios del Testing. [2]

bas.

Para comprender mejor el proceso para la producción de chips de VLSI tenemos la Figura 2.2. Los requerimientos son que el usuario quede satisfecho por el chip. A menudo se derivan de la función de una aplicación particular, por ejemplo, el control de inyección de combustible en un automóvil, el control de un brazo robótico, o el procesamiento de imágenes desde una nave espacial.

2.2. Prueba de Circuitos Integrados

La figura 2.3 ilustra el principio básico de la prueba digital. Los patrones binarios (o vectores de prueba) se aplican a las entradas del circuito. La respuesta del circuito se compara con la respuesta esperada. El circuito se considera bueno si las respuestas coinciden. Obviamente, la calidad del circuito probado dependerá de la minuciosidad de los vectores de prueba.

En la figura solo se muestran los conceptos básicos del *testing*, ya que consiste en un largo proceso. Los dispositivos VLSI son probados por el equipo de prueba automática que lleva a cabo una serie de pruebas. El equipo de prueba automático (ATE) moderno es una computadora potente que opera bajo el control de un programa de pruebas por escrito en un lenguaje de alto nivel.

Estos test no se realizan minuciosamente ya que la cantidad de pines de entrada y de salida de un solo circuito integrado, crea una cantidad enorme de combinaciones posibles

que, aún con los equipos de prueba más rápidos, tomaría una infinidad de años para realizar estas pruebas a cada una de ellas. Por ejemplo, un circuito integrado sumador de 64 bits tiene 129 entradas y 65 salidas. Por lo tanto, para ejercer plenamente su propia función, necesitamos $2^{129} = 680, 564, 733, 841, 876, 926, 926, 749, 214, 863, 536, 422, 912$ patrones de entrada, produciendo $2^{65} = 36, 893, 488, 147, 419, 103, 232$ respuestas de salida. El equipo de prueba automático más rápido en la actualidad funciona a 1 GHz. Este ATE tomaría $2.1580566142 \times 10^{22}$ años para aplicar todos estos patrones al circuito bajo prueba, suponiendo que el ATE y el circuito puede funcionar a 1 GHz. Por lo tanto, vemos que una prueba funcional exhaustiva es impracticable, a excepción de circuitos sencillos, y hoy en día la mayoría de los circuitos tienden a ser muy complejos.

2.3. Efectos de Acoplamiento

Un problema importante asociado con las interconexiones es el acoplamiento capacitivo. El acoplamiento capacitivo, depende del espacio S de línea a línea como se ilustra en la Figura 2.5. El acoplamiento capacitivo entre dos líneas conductoras es inversamente proporcional a la distancia entre ellas por lo que un valor pequeño de S implica un acoplamiento capacitivo grande existente C_C [1], el cual está dado por:

$$C_C = \epsilon_{0X} \left[0.03 \left(\frac{w}{X_{0X}} \right) + 0.83 \left(\frac{h}{X_{0X}} \right) - 0.07 \left(\frac{h}{X_{0X}} \right)^{0.222} \right] \left(\frac{X_{0X}}{S} \right)^{4/3} \quad (2.1)$$

En la figura 2.4 se observa la geometría para calcular el acoplamiento capacitivo de la fórmula anterior.

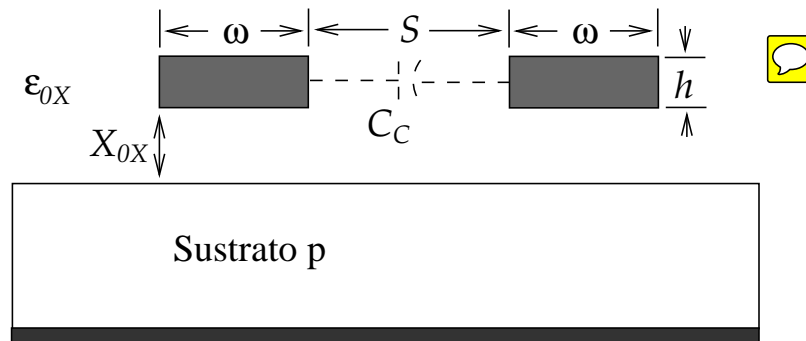


Figura 2.4: Geometría para calcular el acoplamiento capacitivo [1].

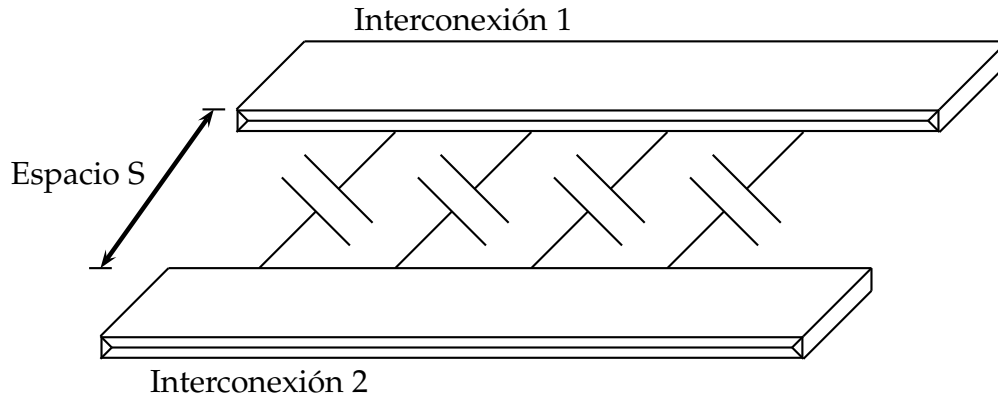


Figura 2.5: Acoplamiento capacitivo entre dos líneas interconectadas adyacentes.

Debido a esta dependencia, no es poco común encontrar una regla de diseño de estructura mínima para líneas críticas, las cuales son actualmente más grandes que las que podrán ser creadas en el proceso de línea. También, el acoplamiento capacitivo aumenta con la longitud de la interacción, por lo que es importante que las interconexiones no estén colocadas cerca unas de otras para cualquier distancia extendida.

Este trabajo de tesis se encuentra organizado de la siguiente manera:

En el capítulo 2 veremos el modelo de fallas y su utilización en la detección de incorrecciones en la producción de circuitos integrados. Se explicará la definición de los términos defecto, error y fallo. También se verá acerca de las fallas *Stuck-at* simples así como un ejemplo de estas fallas. También se explicará la importancia del uso de la simulación en la corrección del diseño y en la verificación las pruebas. Por último se expondrá el método del problema de los caminos más cortos, así como un profundo análisis de los algoritmos más importantes empleados para resolver este concepto.

En el capítulo 3 analizaremos el circuito de prueba estándar a utilizarse para realizar las pruebas postuladas en el presente trabajo, el circuito combinacional C432, veremos su función, su estructura interna así como cada uno de los módulos que lo componen.

En el capítulo 4 se darán a conocer los resultados obtenidos de las simulaciones y las pruebas realizadas al circuito utilizado, así como los métodos y algoritmos planteados en el presente trabajo de tesis.

Finalmente en el capítulo 5 se presentan las conclusiones.

Capítulo 3

Modelo de Fallas

Así como en la arquitectura se utilizan modelos a escala, los cuales necesitan ser lo más realistas posibles, para realizar algún plan o simulación y generar posibles acontecimientos observando las fallas que se pueden generar; en la ingeniería, los modelos cierran la brecha entre la realidad física y la abstracción matemática. Permiten el desarrollo y aplicación de herramientas analíticas. Siendo ésto esencial en el diseño. Los modelos más importantes de las pruebas son los de fallas.

Las incorrecciones en los sistemas electrónicos se describen de varias maneras. En algunos textos se puede encontrar que los términos *defecto*, *error* y *fallo* se utilizan a veces de manera confusa sobre las pruebas.

Mientras que un *error* es una señal de salida mal producida por un sistema defectuoso, una *falla* es una representación de un defecto en el nivel de función de abstracción. Ahora bien, un error es un falla producida por un defecto. Por ejemplo en un sistema digital, en donde a una compuerta AND se le aplica una entrada $a = 1$ y $b = 1$, la salida, que debe ser $c = 1$, da como resultado $c = 0$, aquí el error es éste resultado, el fallo es una señal a ó b atascada en un 0 lógico y el defecto es un corto a tierra.

Los defectos se producen ya sea durante la fabricación o durante el uso de los dispositivos. La ocurrencia repetida del mismo defecto indica la necesidad de mejoras en el proceso de fabricación o el diseño del dispositivo. Los procedimientos para el diagnóstico de los defectos y la búsqueda de las causas se conoce como análisis de modos de fallo

Algunos tipos de defectos en circuitos integrados en VLSI son [2]:

- 1 - *Defectos de Proceso*: Contacto de ventanas faltante, transistores parásitos.
- 2 - *Defectos de Material*: Defectos de masa, impurezas de superficie.

3 - *Defectos de antigüedad*: Avería dieléctrica, electromigración.

4 - *Defecto de paquete*: Degradación de contactos, fugas en el sellado.

Dado que el proceso de fabricación de placas de circuito impreso (PCB) es diferente de la de los circuitos integrados en VLSI, sus defectos son también diferentes.

3.1. Fallas *Stuck-at* Simples

Suponemos que el circuito es modelado como una interconexión (llamado *Netlist*) de puertas Booleanas. Se asume una falla *Stuck-at* que sólo afecta a la interconexión entre las puertas. Cada línea de conexión puede tener dos tipos de fallas: *stuck-at-1* y *stuck-at-0* (comúnmente escrito como *s-a-1* y *s-a-0*.) Por lo tanto, una línea con un fallo *stuck-at-1* siempre tendrá un estado lógico 1, independientemente de la salida lógica correcta de la puerta que la conduce.

En un circuito se pueden producir varias fallas *stuck-at* simultáneamente. Un circuito con n líneas puede tener $3^n - 1$ combinaciones posibles de líneas atascadas. Esto se debe a que cada línea puede estar en uno de los tres estados: *s-a-1*, *s-a-0*, o libre de errores. Todas las combinaciones, excepto uno que tiene todas las líneas en los estados sin fallos, se cuentan como fallas. Es evidente que incluso un valor moderado de n dará un gran número de múltiples fallos *stuck-at*. Un circuito de n -líneas puede tener a lo sumo $2n$ fallas *stuck-at* simples. Este número se reduce aún más por una técnica conocida como un fallo colapsado.

El conjunto de todos los fallos en un circuito puede ser dividido en conjuntos de equivalencia, de tal manera que los fallos en un conjunto equivalente son equivalentes entre sí. Los conjuntos de equivalencia dividen fallos en conjuntos disjuntos ya que si existe una falla en dos conjuntos de equivalencia, entonces esos conjuntos se pueden combinar juntos como un conjunto de equivalencia. El proceso de selección de un fallo de cada conjunto equivalencia se llama *fallo colapso*.

Una falla *stuck-at* simple es caracterizada por tres propiedades o hipótesis:

- 1 - Sólo una línea es defectuosa.
- 2 - La línea de falla se fija permanentemente a 0 ó 1.
- 3 - La falla puede estar en una entrada o salida de una compuerta.

En el circuito de la figura 3.1, una *stuck-at-1* fallida tal como se indica en la salida de la compuerta OR significa que la señal de fallo permanece en 1, independientemente del

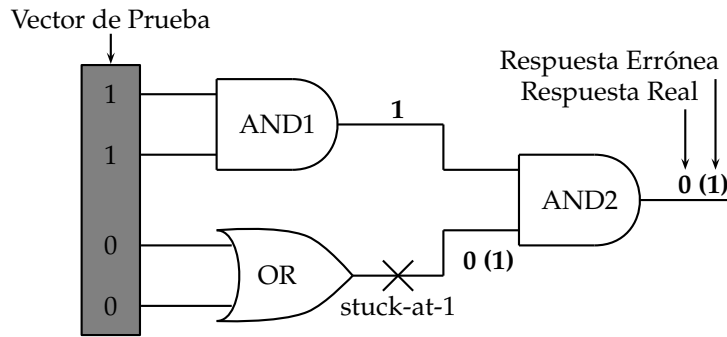


Figura 3.1: Un ejemplo de una falla stuck-at simple.

estado de la entrada de la puerta OR. Si la salida normal de la puerta OR es 1, lo que sería si las entradas son 01, 10, o 11, entonces este fallo no afectará ninguna señal en el circuito. Sin embargo, una entrada 00 a la puerta OR producirá una salida 0 en el circuito normal. El circuito defectuoso tendrá un 1 allí. La figura 3.1 muestra el valor normal (defectuoso) como 0(1), que se aplica a la puerta AND2 en la salida. Este estado de señal debe propagarse a la salida de la puerta AND2, que es una salida observable en este circuito. Esto se hace mediante el establecimiento de la otra entrada del AND2 como 1, que se justifica mediante el establecimiento de las entradas de AND1 como 11. Ahora tenemos el vector de entrada 1100 como una prueba para el fallo s-a-1 ya que para este vector la salida normal (respuesta verdadera) y la salida errónea difieren.

3.2. Simulación para la Verificación del Diseño

La simulación tiene dos finalidades distintas en el diseño electrónico. En primer lugar, se utiliza para verificar la corrección del diseño y la segunda, que verifica las pruebas. La primera forma de simulación se ilustra en la Figura 3.2. El proceso de realización de un sistema electrónico comienza con su especificación, que describe el comportamiento eléctrico de entrada y salida (lógica, analógica, y en el tiempo) y otras características (física, medio ambiente, etc). La especificación, que se muestra como un bloque sombreado en la figura 3.2, es el punto de partida de la actividad de diseño. El proceso de síntesis produce una interconexión de componentes (llamados lista de conexiones.) El diseño es verificado por un simulador de valor verdadero. Un valor verdadero significa que el simulador calculará la respuesta a los estímulos de entrada dados sin inyectar fallos en el diseño.

Los estímulos de entrada también se basan en la especificación. Normalmente, estos estímulos corresponden a las especificaciones de entrada y salida que son ya sea crítico o considerados de riesgo por los procedimientos de síntesis. Una estrategia utilizada es

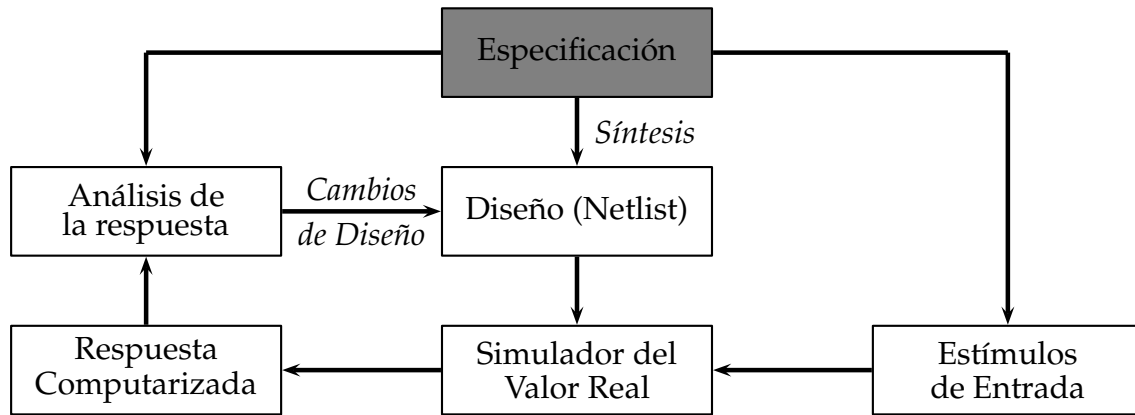


Figura 3.2: Simulación para la verificación del diseño.

ejercer todas las funciones sólo con los patrones de datos críticos. Esto es debido a que la simulación del conjunto exhaustivo de los patrones de datos puede ser demasiado cara. Sin embargo, la definición de crítico a menudo depende de la heurística de diseño.

El simulador de valor verdadero en la Figura 3.2 calcula las respuestas que un circuito (si se construye a partir de la lista de conexiones) hubiese producido si se aplicaran los estímulos de entrada dados. En un escenario típico de la verificación del diseño, se analizan las respuestas calculadas (ya sea de forma automática o interactiva, o de forma manual) para verificar que la lista de red diseñada se ejecuta de acuerdo a la especificación. Si se encuentran errores, se realizan cambios adecuados, hasta que las respuestas a todos los estímulos coinciden con la especificación.

Este método de verificación del diseño basado en la simulación tiene fortalezas y debilidades. Su fuerza reside en los detalles del comportamiento del circuito que puede ser simulado. Por ejemplo, la lógica, el tiempo y las conductas analógicas se pueden simular. Otra ventaja es en el uso de la jerarquía. Por ejemplo, un diseño puede ser primero simulado en un nivel de más alto comportamiento. En lugar de una lista de conexiones, el diseño puede ser descrito en un lenguaje de programación. Una vez que se verifica este diseño, los bloques de nivel superior (o subrutinas en lenguaje) se sustituyen por listas de instrucciones de nivel lógico. En este punto, un simulador lógico se utiliza para realizar la verificación. El proceso se puede repetir sustituyendo algunas o todas las partes por implementaciones a nivel transistor o a nivel circuito. La simulación se utiliza de este modo para la verificación de los sistemas electrónicos muy grandes.

La debilidad de este método es su dependencia de la heurística del diseño utilizado en la generación de los estímulos de entrada. Para contener la complejidad, estos estímulos

no son exhaustivos y, por lo tanto, una garantía de conformidad con las especificaciones es imposible. A pesar de lo incompleto, la simulación proporciona un mejor control de la fabricación del diseño. Un sistema ideal de verificación del diseño debe combinar la verificación formal de comportamiento a nivel de la lógica y la simulación a nivel de circuito.

3.3. Problema de los Caminos Más cortos

Cuando tenemos un modelo de un circuito integrado, donde el diagrama de conexiones es muy amplio, y queremos realizar pruebas para encontrar rutas en las cuales la cantidad de capacitancias parásitas afectan cuando menos a una señal de entrada, podemos utilizar algoritmos matemáticos para encontrar dichas rutas, para ello hay que ver al diagrama de conexiones como un *grafo*, que es simplemente nodos con algunas conexiones que se llaman aristas. Una arista puede conectar dos nodos, o, como en algunas aplicaciones, un nodo consigo mismo. Una arista está anclada en sus dos extremos a nodos, o posiblemente al mismo nodo en los dos extremos. En la figura 3.3 se aprecian dos ejemplos de grafos, donde los nodos están representados con números y las aristas con letras. Para un diagrama de conexiones de un circuito integrado, los nodos serían la representación de las señales de entrada y las compuertas lógicas, y las aristas serían la capacitancia parásita entre cada conexión de las compuertas y las señales.

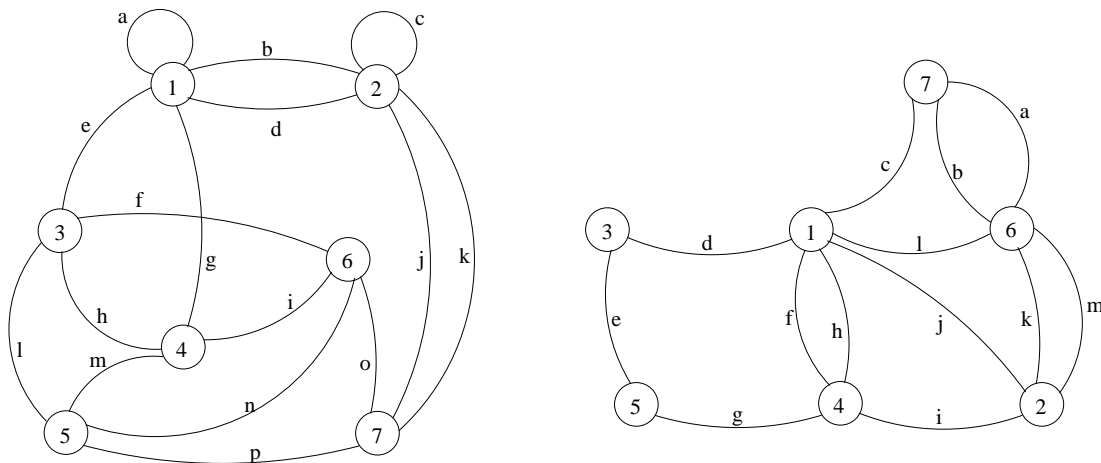


Figura 3.3: Ejemplos de grafos.

Ya teniendo el diagrama de conexiones representado como un grafo, podemos utilizar los algoritmos para resolver el *problema de los caminos más cortos* (*Shortest Path*), es el problema que consiste en encontrar un camino entre dos nodos de tal manera que la suma de

los pesos de las aristas que lo constituyen es mínima. Un ejemplo es encontrar el camino más rápido para ir de una ciudad a otra en un mapa. En este caso, los vértices representan las ciudades, y las aristas las carreteras que las unen, cuya ponderación viene dada por el tiempo que se emplea en atravesarlas.

Los algoritmos más importantes para resolver este problema son:

- El algoritmo de Dijkstra.
- El algoritmo de Bellman - Ford.
- El algoritmo Breadth-First.
- El algoritmo Directed Acyclic Graph.

los cuales se describen a continuación:

3.4. Algoritmo de Dijkstra

También llamado algoritmo de caminos mínimos, es un algoritmo para la determinación del camino más corto dado un vértice origen al resto de vértices en un grafo con pesos en cada arista. Su nombre se refiere a Edsger Dijkstra, quien lo describió por primera vez en 1959. La idea subyacente en este algoritmo consiste en ir explorando todos los caminos más cortos que parten del vértice origen y que llevan a todos los demás vértices; cuando se obtiene el camino más corto desde el vértice origen, al resto de vértices que componen el grafo, el algoritmo se detiene. El algoritmo es una especialización de la búsqueda de costo uniforme, y como tal, no funciona en grafos con aristas de coste negativo (al elegir siempre el nodo con distancia menor, pueden quedar excluidos de la búsqueda nodos que en próximas iteraciones bajarían el costo general del camino al pasar por una arista con costo negativo).

3.4.1. Procedimiento

Teniendo un grafo dirigido ponderado de N nodos no aislados, sea x el nodo inicial, un vector D de tamaño N guardará al final del algoritmo las distancias desde x al resto de los nodos.

- 1 - Inicializar todas las distancias en D con un valor infinito relativo ya que son desconocidas al principio, exceptuando la de x que se debe colocar en 0 debido a que la distancia de x a x sería 0.
-

- 2 - Sea $a = x$ (tomamos a como nodo actual).
- 3 - Recorremos todos los nodos adyacentes de a , excepto los nodos marcados, llamaremos a estos nodos no marcados V_i .
- 4 - Si la distancia desde x hasta V_i guardada en D es mayor que la distancia desde x hasta a , sumada a la distancia desde a hasta V_i ; esta se sustituye con la segunda nombrada, esto es:

$$\text{si } (D_i > D_a + d(a, V_i)) \text{ entonces } D_i = D_a + d(a, V_i)$$

- 5 - Marcamos como completo el nodo a .
- 6 - Tomamos como próximo nodo actual el de menor valor en D (puede hacerse almacenando los valores en una cola de prioridad) y volvemos al paso 3 mientras existan nodos no marcados.

Una vez terminado al algoritmo, D estará completamente lleno.

Para comprender mejor veremos un ejemplo gráfico [6], en el cual tenemos un nodo inicial A , y un nodo final F

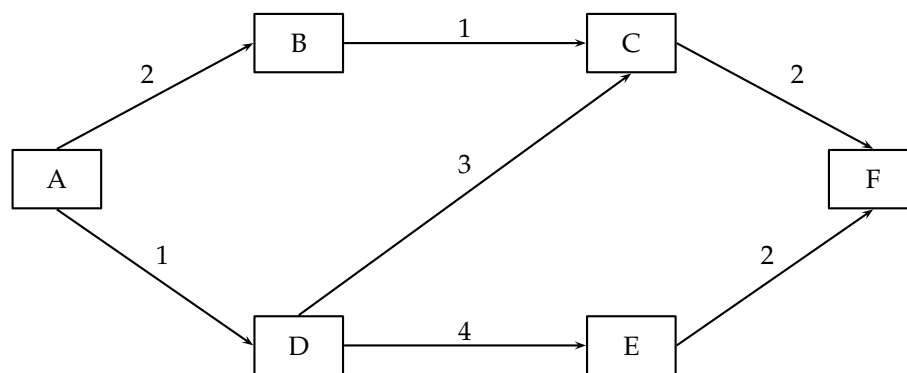


Figura 3.4: Grafo a analizar.

Utilizaremos las siguientes etiquetas para identificar los nodos:

$$[3, A]_{(1)}$$

Donde:

$$[\text{Valor acumulado}, \text{Nodo procedente}]_{(\text{número de operaciones})}$$

El primer paso es etiquetar el nodo inicial, donde el valor acumulado es cero, no hay nodo procedente por eso lo dejamos marcado como -, y el número de operaciones también es cero ya que no llevamos realizado ninguna operación realizada.

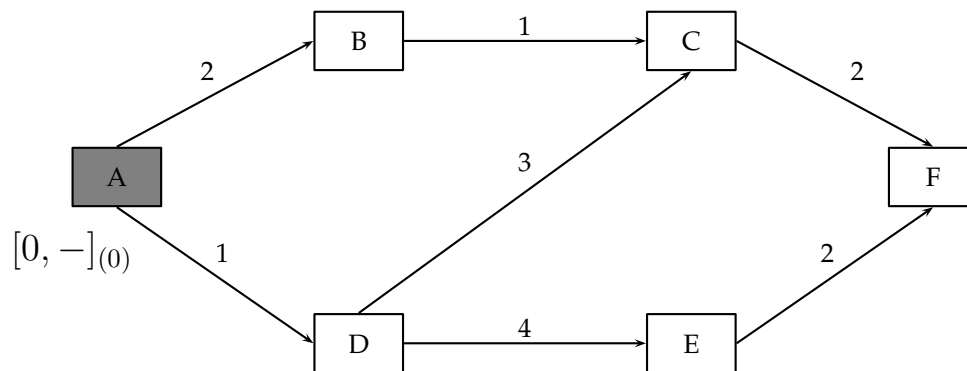


Figura 3.5: Etiqueta del nodo inicial.

Ahora etiquetamos los nodos conectados al nodo *A*. En el nodo *B* el valor acumulado es 2, el nodo procedente es el nodo *A*, y el número de operaciones es 1, ya que esta fue la primera operación para llegar a este nodo. Mientras que en el nodo *D* el valor acumulado es 1, el nodo procedente es el nodo *A*, y el número de operaciones es 1. Observamos que el valor acumulado más pequeño es del nodo *A* al nodo *D*, y marcamos el nodo *D* como nodo definitivo.

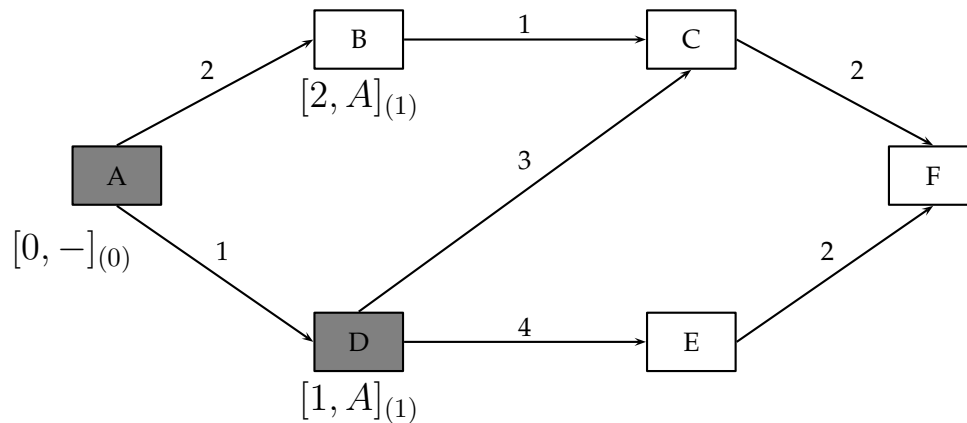


Figura 3.6: Etiqueta de los nodos conectados al nodo inicial.

Realizamos el mismo procedimiento para los siguientes nodos, siguiendo la ruta de los nodos definitivos, para el nodo C el valor acumulado es $3 + 1 = 4$, el nodo precedente es el nodo D, y el número de operaciones es 2. Mientras que en el nodo E el valor acumulado es $4 + 1 = 5$, el nodo precedente es el nodo D, y el número de operaciones es 2. Observamos que en esta ruta el valor acumulado es mayor que la de las otras rutas posibles, entonces cambiamos de ruta y realizamos nuevos cálculos.

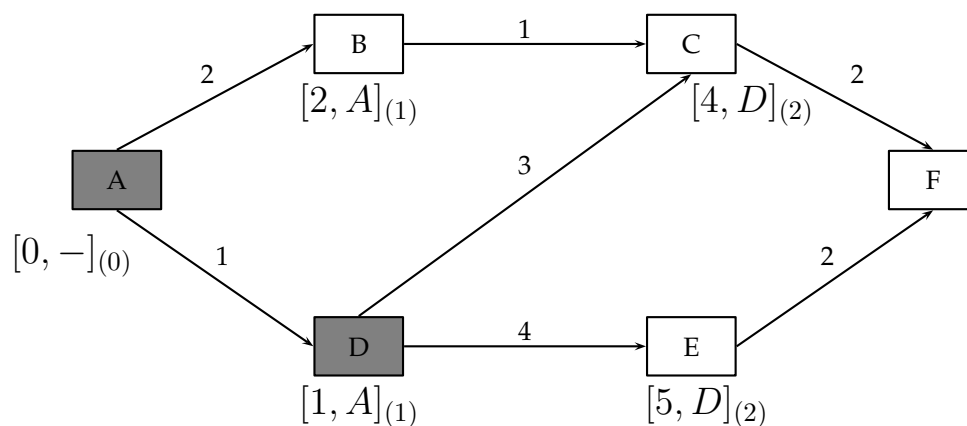


Figura 3.7: Etiqueta de los nodos C y E.

Con la nueva ruta obtenemos la etiqueta para el nodo C, el cual ahora el valor acumulado es 3, el nodo precedente es el nodo B, y el número de operaciones es $2 + 1 = 3$. Ahora vemos que esta etiqueta mejora a la anterior, por lo tanto escogemos el nodo C como el nuevo nodo definitivo.

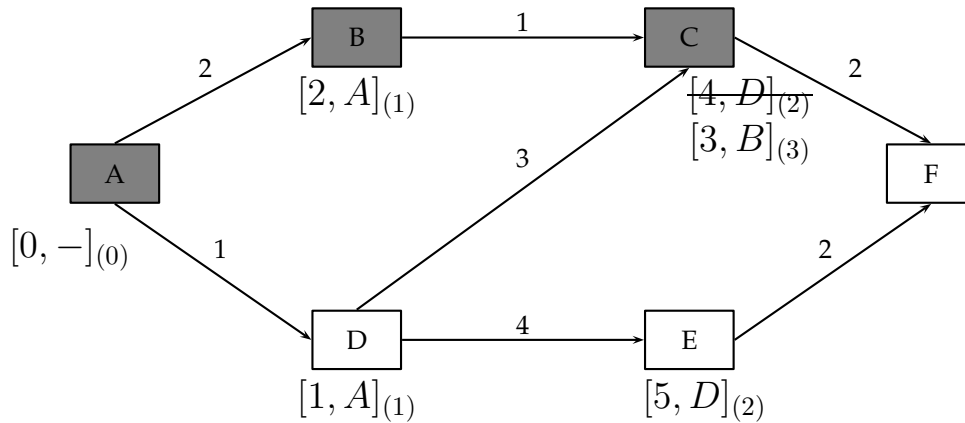


Figura 3.8: Etiqueta del nodo C con la nueva ruta.

Por último, nos queda etiquetar al nodo final F , su valor acumulado es $2 + 1 + 2 = 5$, el nodo precedente es el nodo C , y el número de operaciones es 4. Si el nodo precedente fuera el nodo E , el valor acumulado sería $1 + 4 + 2 = 7$, y ya que estamos buscando el camino más corto, esta ruta no nos serviría.

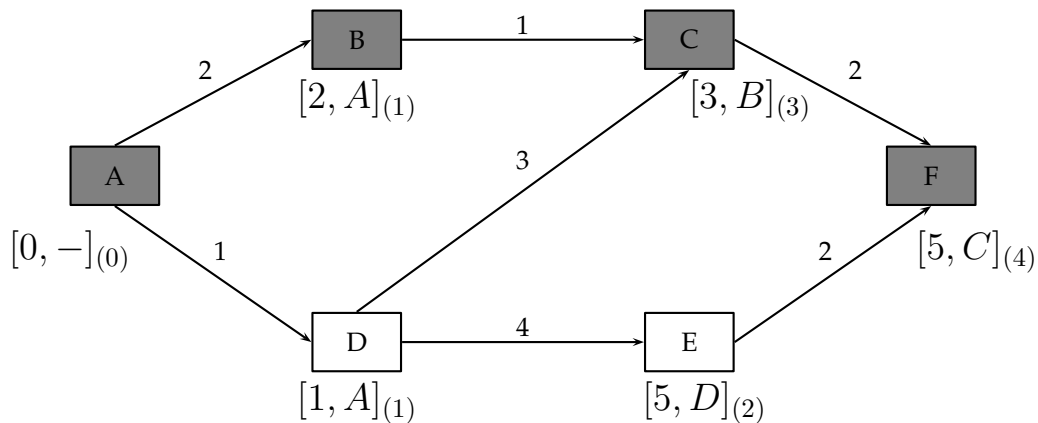


Figura 3.9: Etiqueta del nodo final.

Con esto queda resuelto el problema de la ruta más corta que es la $A B C F$, el cual tiene un valor total acumulado de 5.

3.5. Algoritmo de Bellman - Ford

Este algoritmo genera el camino más corto en un Grafo dirigido ponderado (en el que el peso de alguna de las aristas puede ser negativo). El algoritmo de Dijkstra resuelve este mismo problema en un tiempo menor, pero requiere que los pesos de las aristas no sean negativos, si un grafo contiene un ciclo de coste total negativo entonces este grafo no tiene solución. El algoritmo es capaz de detectar este caso. Por lo que el Algoritmo Bellman-Ford normalmente se utiliza cuando hay aristas con peso negativo. Este algoritmo fue desarrollado por Richard Bellman, Samuel End y Lester Ford.

3.5.1. Procedimiento

El Algoritmo de Bellman-Ford es, en su estructura básica, muy parecido al algoritmo de Dijkstra, pero en vez de seleccionar vorazmente el nodo de peso mínimo aun sin procesar para relajarlo, simplemente relaja todas las aristas, y lo hace $|V| - 1$ veces, siendo $|V|$ el número de vértices en el grafo. Las repeticiones permiten a las distancias mínimas recorrer el árbol, ya que en la ausencia de ciclos negativos, el camino más corto solo visita cada vértice una vez. A diferencia de la solución voraz, la cual depende de la suposición de que los pesos sean positivos, esta solución se aproxima más al caso general.

Existen dos versiones:

- Versión no optimizada para grafos con ciclos negativos, cuyo coste de tiempo es $O(VE)$.
- Versión optimizada para grafos con aristas de peso negativo, pero en el grafo no existen ciclos de coste negativo, cuyo coste de tiempo, es también $O(VE)$.

Para comprender mejor veremos un ejemplo gráfico [7], en el cual tenemos un nodo inicial A , y un nodo final F

Utilizaremos las siguientes etiquetas para identificar los nodos:

$[A, 3]$

Donde:

[Nodo procedente, Valor acumulado]

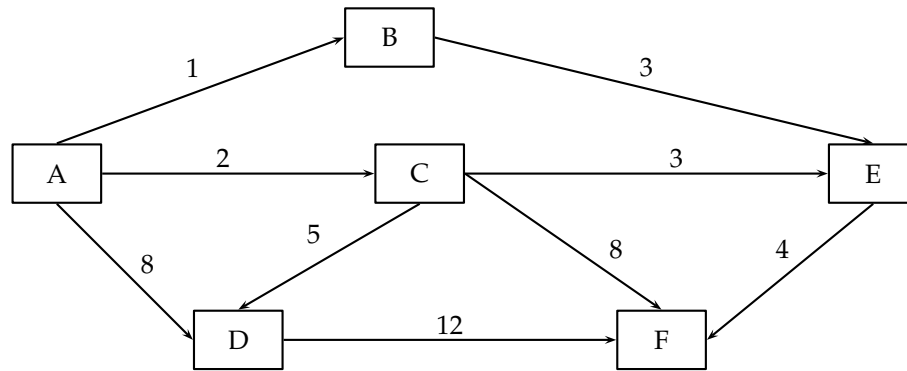
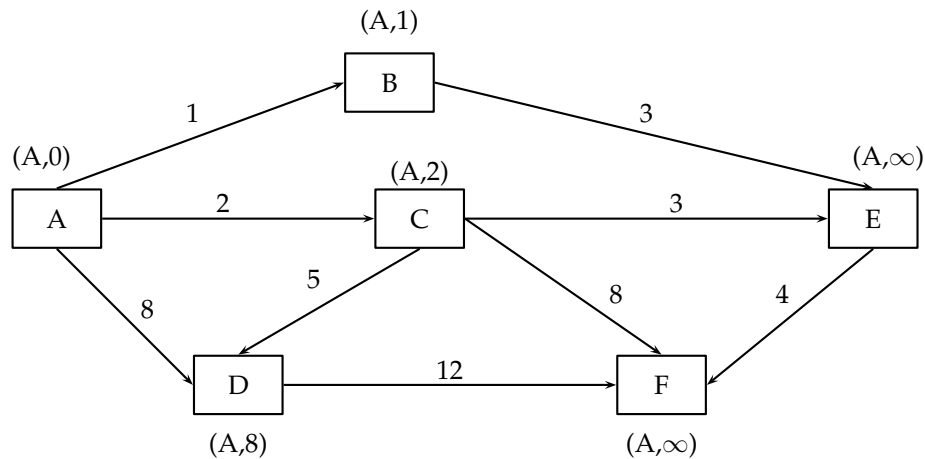


Figura 3.10: Grafo a analizar.

El primer paso es poner las etiquetas de los nodo conectados directamente al nodo inicial A

Figura 3.11: Etiquetas de los nodos conectados a A .

Como los nodos E y F no se conectan directamente con el nodo A , entonces su valor acumulado es infinito. El siguiente paso es volver a revisar los nodos para ver si tienen otras entradas conectadas directamente, y volvemos a etiquetar si es necesario.

Como los nodos B y C no tienen otras entradas, la etiqueta se mantiene, pero para el nodo D , tenemos otra posible entrada desde el nodo C , resultando un valor acumulado de $2 + 5 = 7$, el cual es menor que la ruta que ya tenemos, entonces la etiquetamos con la ruta más pequeña y nos deshacemos de la anterior. Para el nodo E tenemos dos posibles entradas, desde el nodo B con un valor acumulado de $1 + 3 = 4$ y desde el nodo C con un valor acumulado de $2 + 3 = 5$, como la ruta desde el nodo B es mas pequeña, la etiquetamos

en el nodo E . Ahora para el nodo F tenemos tres posibles entradas, desde el nodo D con un valor acumulado de $8 + 12 = 20$, desde el nodo C con un valor acumulado de $2 + 8 = 10$ y desde el nodo E con un valor acumulado de $4 + \infty$, por lo tanto, etiquetamos con la ruta que vienen desde el nodo C .

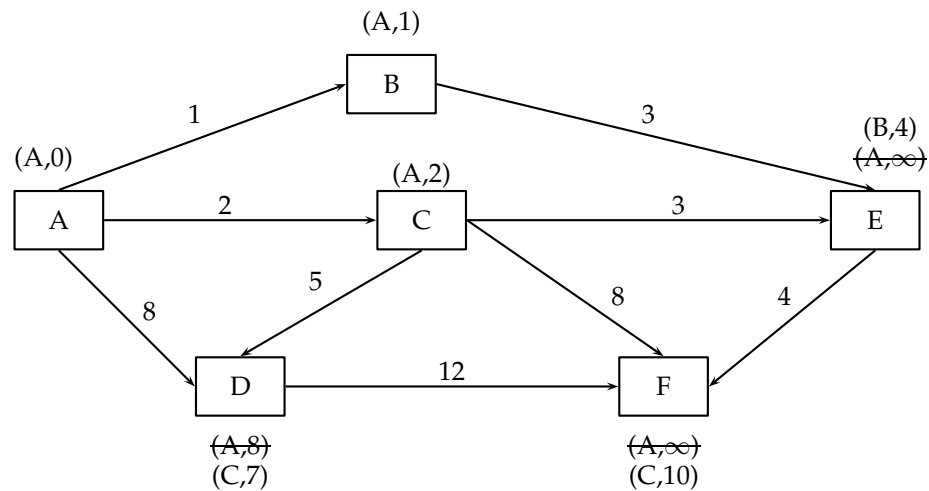


Figura 3.12: Revisión de otras conexiones a los nodos etiquetados.

Después volvemos a repetir el paso anterior pero ahora con las nuevas etiquetas. Para los nodos B , C , D y E , no hay rutas que mejoren a la etiqueta existente así que nos quedaremos con las mismas, pero para el nodo F , vemos que con las etiquetas nuevas hay una ruta que la mejora que es la proveniente del nodo E con un valor acumulado de $1 + 3 + 4 = 8$, por lo tanto, nos quedaremos con esta última.

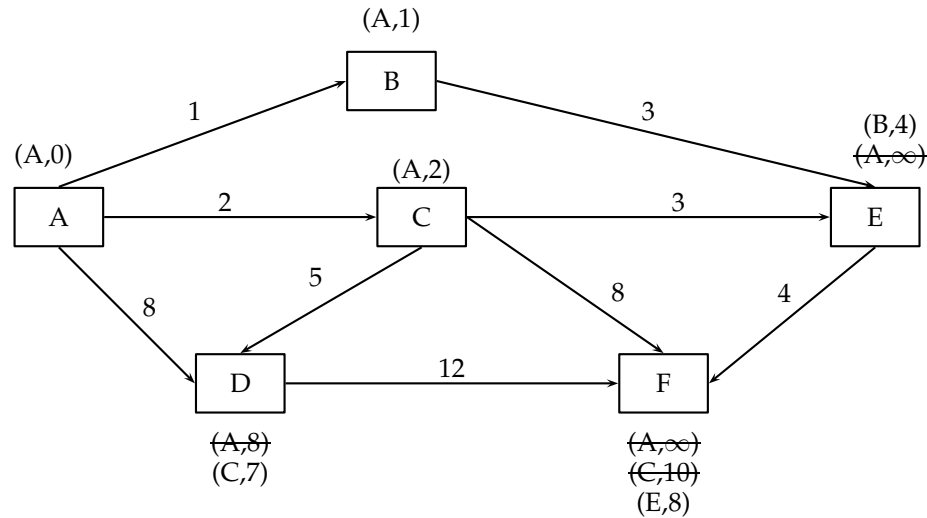


Figura 3.13: Revisión con las nuevas etiquetas.

Si volvemos a realizar el mismo paso con estas nuevas etiquetas, veremos que ninguna ruta mejora a las existente, entonces hemos acabado el algoritmo.

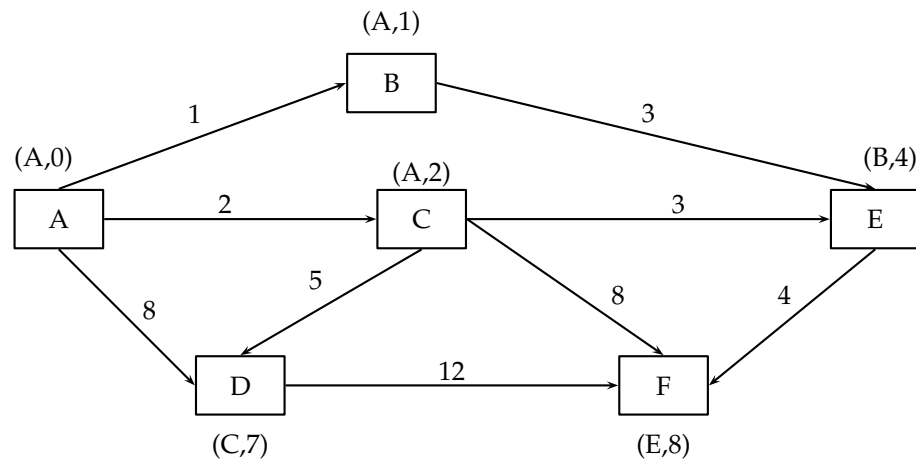


Figura 3.14: Etiquetas resultantes.

Ahora cada nodo tiene etiquetado por cual nodo tuvo que pasar para llegar a él y cual es su valor acumulado. Si vemos como el nodo final a F , el nodo procedente es el nodo E , y el nodo procedente de éste es el nodo B , el cual procede del nodo A siendo éste nuestro nodo inicial, por lo tanto, nuestra ruta resultante es $A B E F$ con un valor acumulado de de 8.

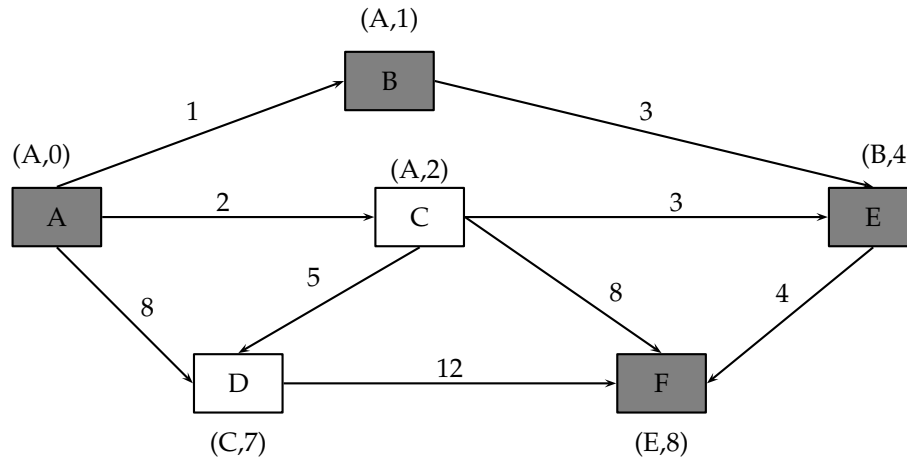


Figura 3.15: Ruta resultante.

3.5.2. Desventajas del algoritmo de Bellman-Ford

Las desventajas principales del algoritmo de Bellman-Ford en este ajuste son:

- No escala bien.
- Los cambios en la topología de red no se reflejan rápidamente ya que las actualizaciones se distribuyen nodo por nodo.
- Contando hasta el infinito (si un fallo de enlace o nodo hace que un nodo sea inalcanzable desde un conjunto de otros nodos, éstos pueden estar siempre aumentando gradualmente sus cálculos de distancia a él, y mientras tanto puede haber bucles de enrutamiento).

3.6. Algoritmo Breadth-First

Breadth-First (*Búsqueda en anchura*), es un algoritmo para recorrer o buscar elementos en un grafo. Intuitivamente, se comienza en un nodo inicial y se exploran todos los vecinos de este nodo. A continuación para cada uno de los vecinos se exploran sus respectivos vecinos adyacentes, y así hasta que se recorra todo el grafo.

Formalmente, Breadth-First es un algoritmo de búsqueda sin información, que expande y examina todos los nodos de un grafo sistemáticamente para buscar una solución. El algoritmo no usa ninguna estrategia heurística.

Si las aristas tienen pesos negativos aplicaremos el algoritmo de Bellman-Ford en alguna de sus dos versiones.

3.6.1. Procedimiento

- Dado un vértice fuente s , Breadth-first sistemáticamente explora los vértices de G para descubrir todos los vértices alcanzables desde s .
- Calcula la distancia (menor número de vértices) desde s a todos los vértices alcanzables.
- Después produce un grafo BF con raíz en s y que contiene a todos los vértices alcanzables.
- El camino desde s a cada vértice en este recorrido contiene el mínimo número de vértices. Es el camino más corto medido en número de vértices.
- Su nombre se debe a que expande uniformemente la frontera entre lo descubierto y lo no descubierto. Llega a los nodos de distancia k , sólo tras haber llegado a todos los nodos a distancia $k - 1$.

Gráficamente [8], el método Breadth-first, hace una búsqueda de rutas, ejerciendo los mismos métodos de los algoritmos anteriores, solo que ahora lo hace desde el nodo inicial hacia las ramificaciones que le prosiguen, haciendo esto al mismo tiempo para todas las ramas existentes. Al llegar a la última ramificación se devuelve hasta el principio y busca rutas con menores valores acumulados con las nuevas etiquetas obtenidas, haciendo esto hasta que ya no encuentre ninguna ruta que mejore a la anterior.

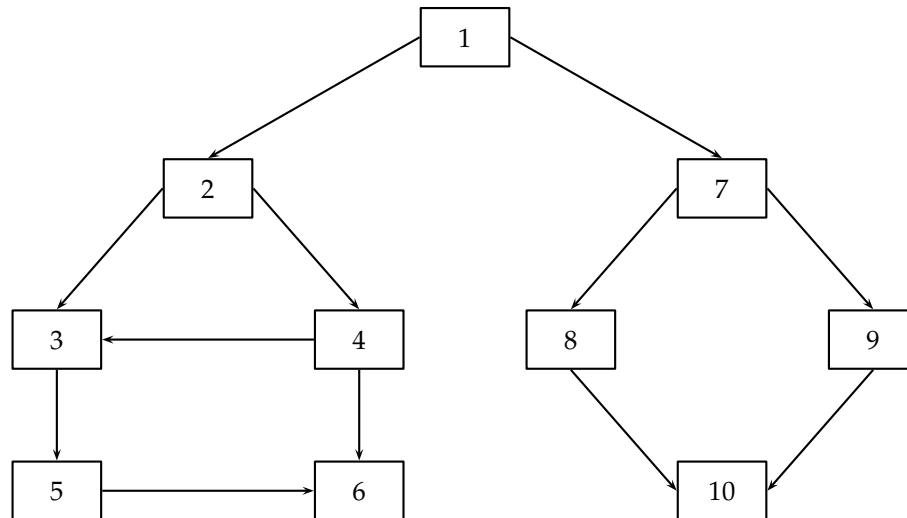


Figura 3.16: Ejemplo del algoritmo Breadth-first.

El primer paso es partir desde el nodo inicial *1*, y seguir con todos los nodos conectados directamente a él al mismo tiempo, en este caso son el nodo *2* y el nodo *7*, realizando todas la etiquetas y buscando la ruta con el menor valor acumulado.

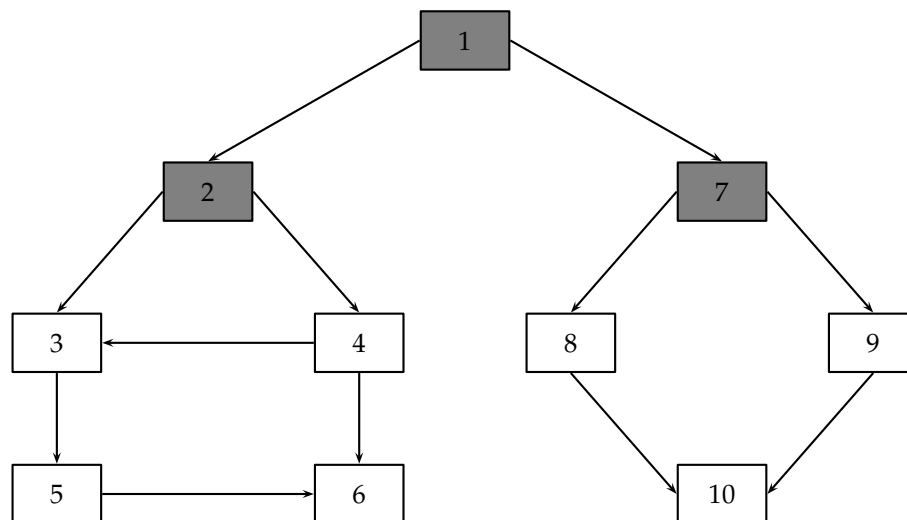


Figura 3.17: Primer análisis del algoritmo Breadth-first.

El segundo paso es seguir con los nodos conectados directamente a los nodos *2* y *7*, que son los nodos *3*, *4*, *8* y *9*, etiquetando las rutas y revisando si hay otra ruta con menor valor acumulado, y si la hay, reemplazándola por la que ya teníamos.

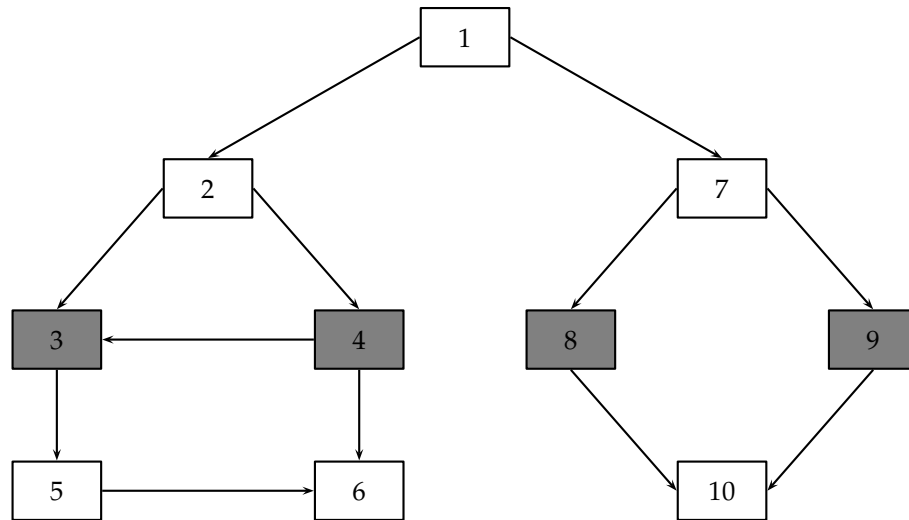


Figura 3.18: Segundo paso del algoritmo Breadth-first.

En el tercer paso, analizamos los nodos siguientes que son los nodos 5, 6 y 10, realizando todas las etiquetas y buscando la ruta con el menor valor acumulado, reemplazando si es necesario.

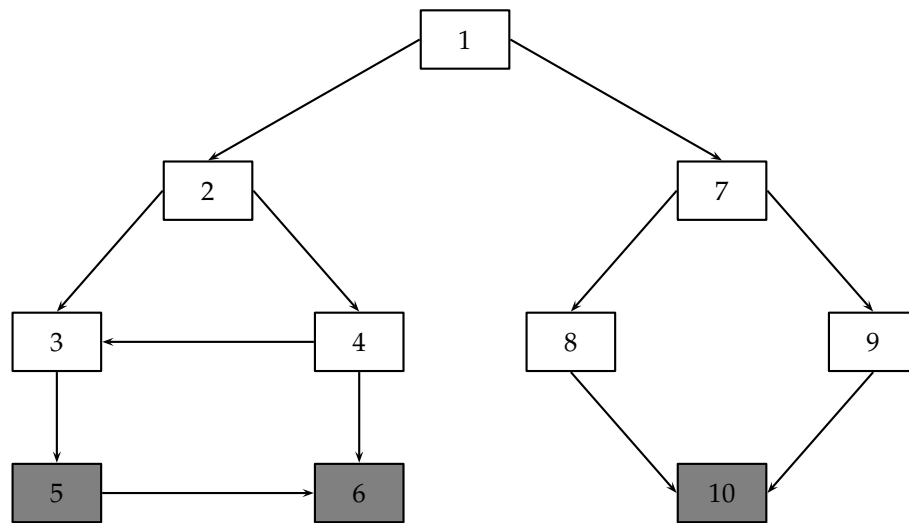


Figura 3.19: Tercer paso del algoritmo Breadth-first.

Después, se regresa al principio y se vuelven a realizar los mismos pasos con las nuevas etiquetas hasta que ya no encuentre rutas que puedan mejorar a las existentes, al cumplir con esto se acaba el algoritmo y se tienen todas las etiquetas resultantes para encontrar la ruta más corta de un punto a otro en el grafo.

3.7. Algoritmo Directed Acyclic Graph

Directed Acyclic Graph ó DAG (*Grafo dirigido y acíclico*), es un grafo dirigido que no tiene ciclos; esto significa que para cada vértice v , no hay un camino directo que empiece y termine en v . Los DAG aparecen en modelos donde no tiene sentido que un vértice tenga un camino directo a él mismo; por ejemplo, si un arco $u \rightarrow v$ indica que v es parte de u , crear un ciclo $u \rightarrow v$ indicaría que u es subconjunto de sí mismo y de v , lo cual es imposible. Informalmente un DAG fluye en solo una dirección.

Cada DAG da lugar a un ordenamiento parcial \leq sobre sus vértices, donde $u \leq v$ exactamente cuando existe un camino directo desde u a v . Muchos DAG pueden generar el mismo ordenamiento parcial de los vértices siendo el de menor número de arcos denominado la Reducción Transitiva y el que mayor número de arcos la Clausura Transitiva. En particular, la Clausura Transitiva es el orden de accesibilidad \leq .

Una fuente es un vértice sin flujos (relaciones) de entrada, mientras que un sifón o sumidero es un vértice sin flujos (relaciones) de salida. Un DAG finito tiene por lo menos una fuente y un sifón. La profundidad de un vértice, en un DAG finito, es la longitud del camino más largo que existe desde una fuente a dicho vértice, la altura de un vértice es la longitud más larga del camino que existe desde el vértice a un sifón. La longitud de un DAG finito es la longitud (número de arcos) del camino directo más largo. Dicha longitud es igual a la máxima altura de todas las fuentes e igual a la máxima profundidad de todos los sifones.

Capítulo 4

Circuito de Prueba Estándar

Los circuitos ISCAS'85 [5] son un conjunto de circuitos de prueba estándar que pueden ser usados como referenciar para pruebas y análisis. Los diseñadores normalmente proceden de las especificaciones de comportamiento para los circuitos lógicos. Los autores presentan su metodología y experiencia en la ingeniería inversa de los circuitos ISCAS'85, su estructura interna facilita la realización de pruebas obteniendo resultados que pueden ser generalizados para otros circuitos. También discuten algunos de los usos prácticos para estos resultados, y los ponen a disposición de otros investigadores para su utilización.

Los ISCAS'85 constituyen un conjunto de jerarquía de circuitos de prueba que han demostrado ser herramientas útiles de investigación en varias áreas del diseño digital, incluyendo la generación de pruebas, análisis de la sincronización y la asignación de la tecnología. La documentación para cada modelo consiste en el circuito anotado en diagramas esquemáticos, y las descripciones escritas en estructuras Verilog, siendo este último un lenguaje de descripción de hardware (HDL, del Inglés Hardware Description Language) usado para modelar sistemas electrónicos. Los modelos estructurales tienen por objeto expresar la estructura específica de alto nivel implícito en los diseños originales a nivel compuerta.

4.1. Circuito Combinacional C432

El C432 es un controlador de 27 canales de interrupción que cuenta con 36 entradas y 7 salidas. Los canales de entrada son agrupados en tres buses de 9-bits (llamados A, B y C), donde la posición del bit dentro de cada bus determina la prioridad de solicitud de interrupción. Un bus de 9-bits de entrada (llamado E) habilita y deshabilita las solicitudes de interrupción dentro de la posición del bit respectivo. La figura 4.1 representa el circuito de forma concisa. La Figura 4.1 contiene los módulos etiquetados M1, M2, M3, M4 y M5.

El controlador de interrupción tiene tres buses de interrupción A, B y C cada uno con nueve bits o canales, y un canal a habilitar, bus E. El régimen de prioridad se aplica como sigue: $A[i] > B[j] > C[k]$, para cualquier i, j, k , es decir, el bus A tiene la mayor prioridad y el bus C la menor. Dentro de cada bus, un canal con un índice alto tiene prioridad sobre uno con un índice más bajo; por ejemplo, $A[i] > A[j]$, si $i > j$. Si $E[i] = 0$, entonces las entradas $A[i]$, $B[i]$ y $C[i]$ se discriminan.

Las siete salidas PA, PB, PC y Chan [3 : 0] especifican qué canales han reconocido las solicitudes de interrupción. Sólo el canal de la más alta prioridad en el bus del interés con la más alta prioridad es reconocido. Una excepción es que si dos o más solicitudes producen interrupciones en el canal que se reconoce, cada bus se reconoce. Por ejemplo, si $A[4]$, $A[2]$, $B[6]$ y $C[4]$ tienen solicitudes pendientes, $A[4]$ y $C[4]$ son reconocidas. El módulo M5 es un codificador con prioridad de 9 a 4 líneas.

4.2. Módulos del circuito C432

El circuito combinacional c432 perteneciente a los circuitos ISCAS'85 Benchmark, se conforma de 5 módulos internos, integrándose de compuertas lógicas que en total dan una suma de 160 compuertas.

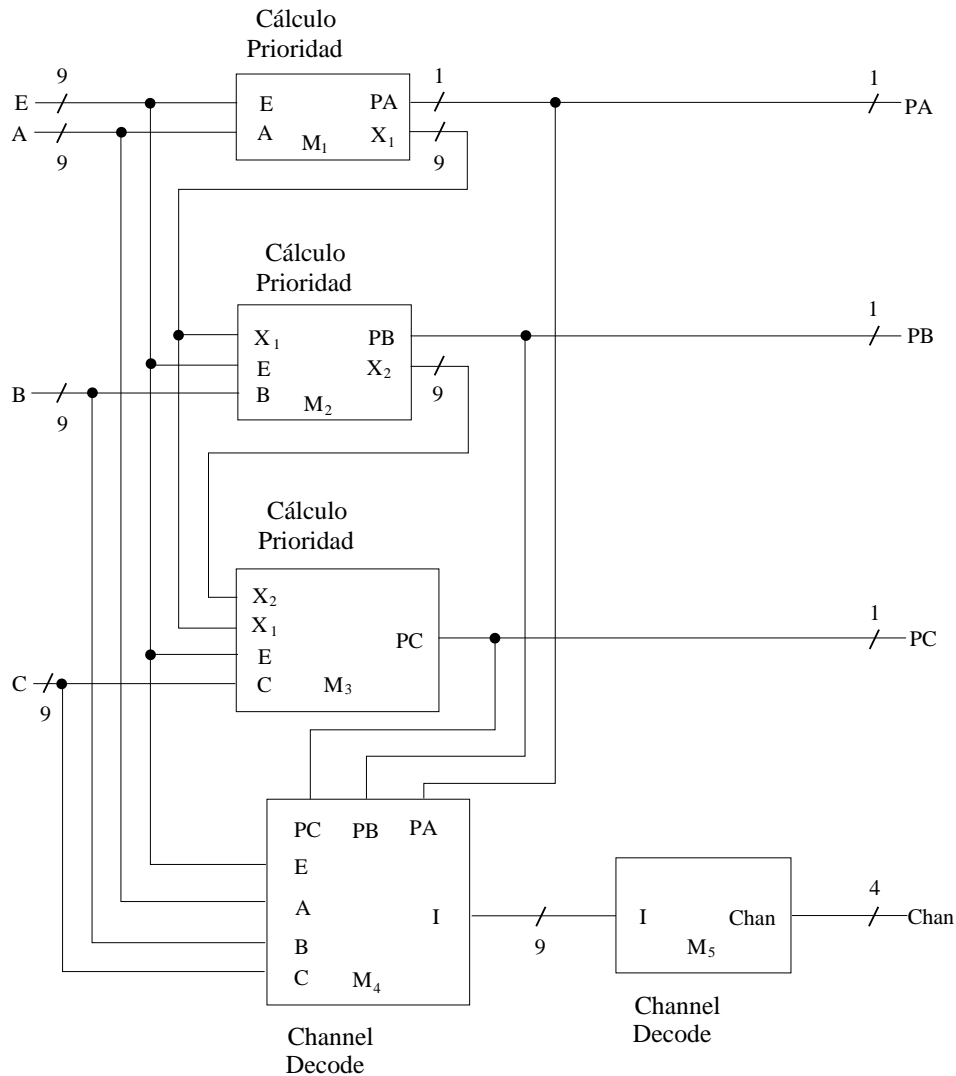


Figura 4.1: Modelo de nivel alto del controlador de interrupción C432 [9].

Las figuras 4.2 y 4.3 muestran la estructura interna del módulo 1, los nombres de los nodos correspondientes y, así como también las entradas y las salidas. Se compone de nueve entradas A , cada una entrando a un inversor, que junto a nueve entradas E se dirigen a nueve compuertas NAND, cada una de estas nueve salidas se dirigen a una compuerta NAND y al mismo tiempo a nueve compuertas XOR, en las cuales también entra la salida PA , a cada una de las compuertas XOR, generando nueve salidas X_1 .

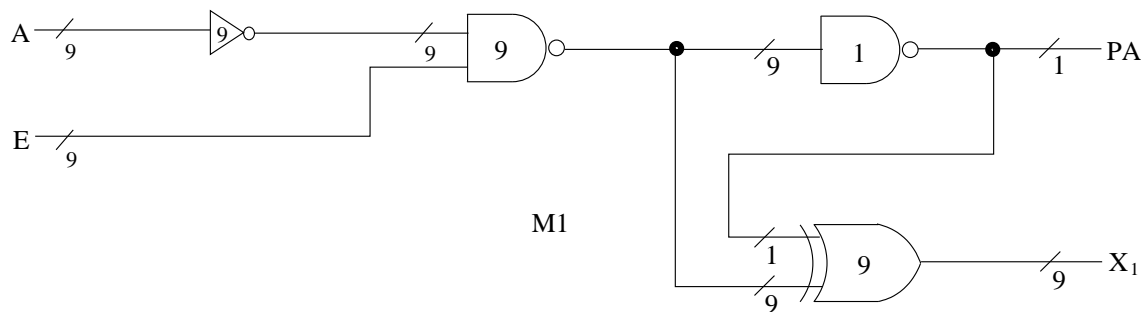


Figura 4.2: Estructura interna del módulo 1 del ISCAS-85 C432 [10].

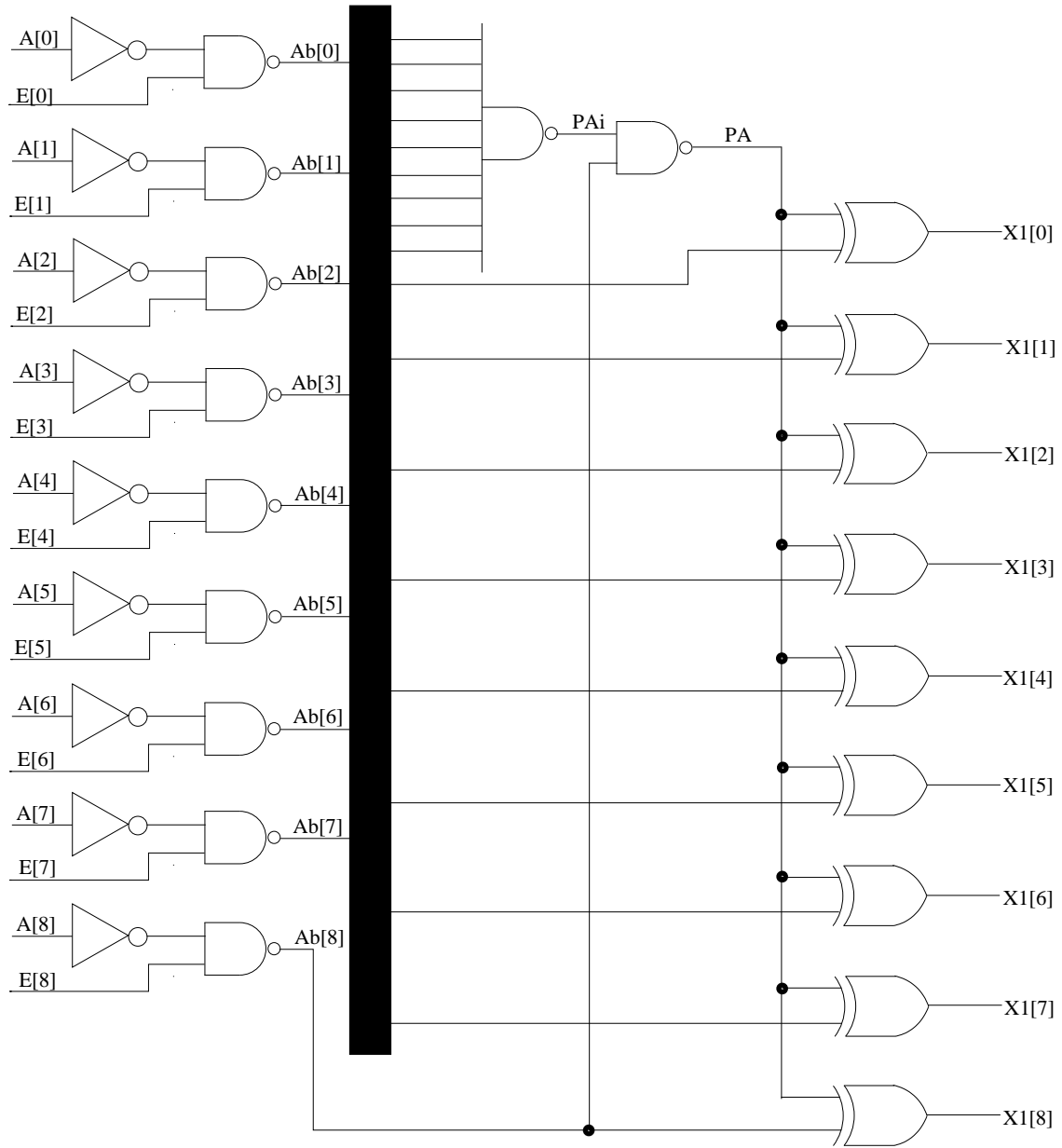


Figura 4.3: Diagrama completo del módulo 1 del ISCAS-85 C432 [10].

Las figuras 4.4 y 4.5 muestran la estructura interna del módulo 2, los nombres de los nodos correspondientes y, así como también las entradas y las salidas. Se compone de nueve entradas X_1 , nueve entradas B y nueve entradas E generando una salida PB y nueve salidas X_2 . Este módulo está formado por 9 compuertas NOT, nueve compuertas NOR, diez compuertas NAND y nueve compuerta XOR.

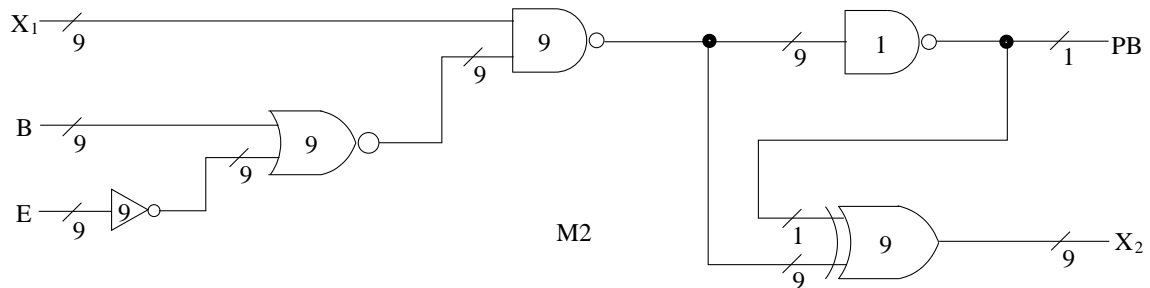


Figura 4.4: Estructura interna del módulo 2 del ISCAS-85 C432 [11].

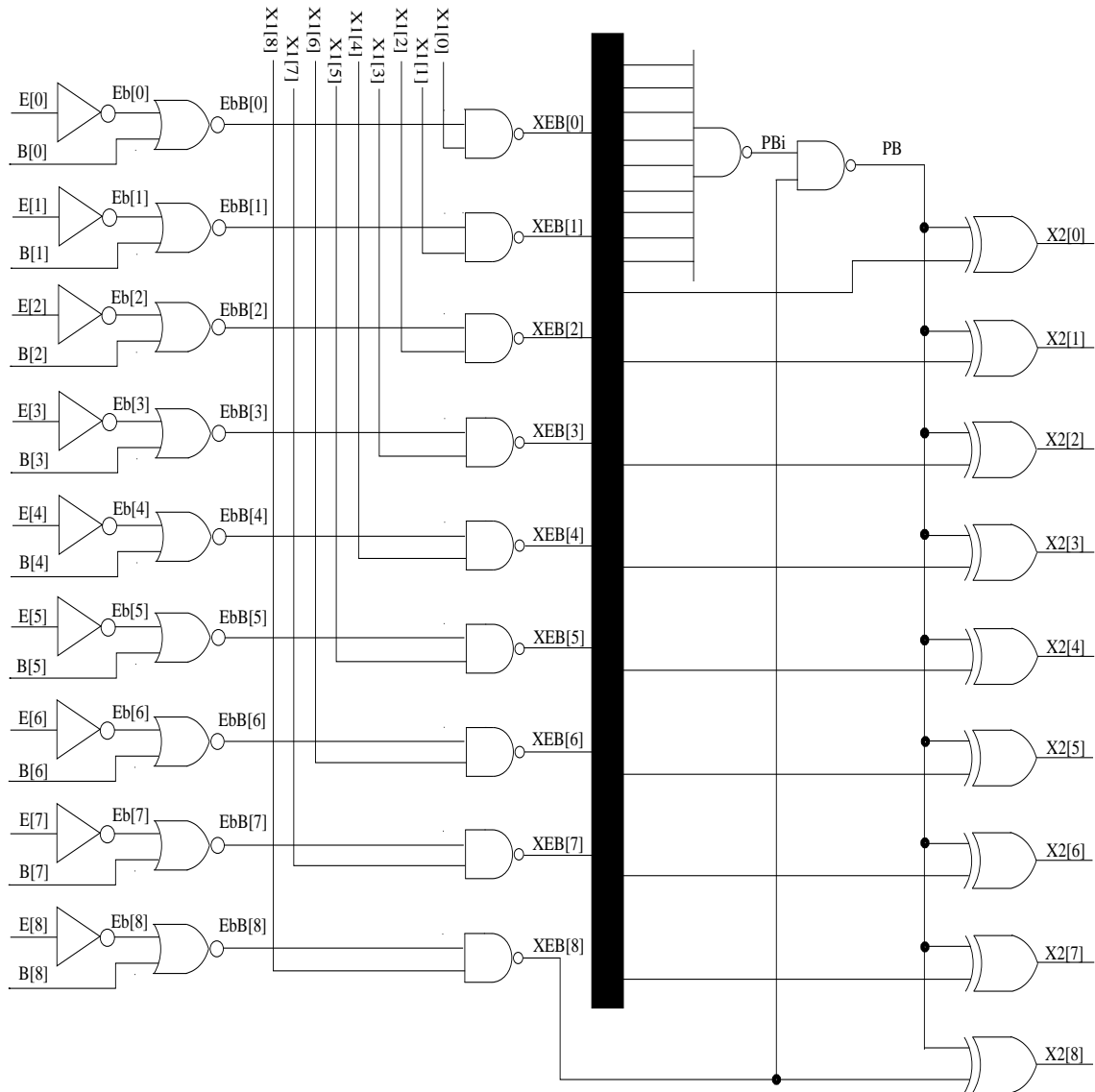


Figura 4.5: Diagrama completo del módulo 2 del ISCAS-85 C432.

Las figuras 4.6 y 4.7 muestran la estructura interna del módulo 3, los nombres de los nodos correspondientes y, así como también las entradas y las salidas. Está compuesto por nueve entradas X_1 , nueve entradas X_2 , nueve entradas C y nueve entradas E generando una salida PC. Este módulo está formado por nueve compuertas NOT, nueve compuertas NOR y diez compuertas NAND.

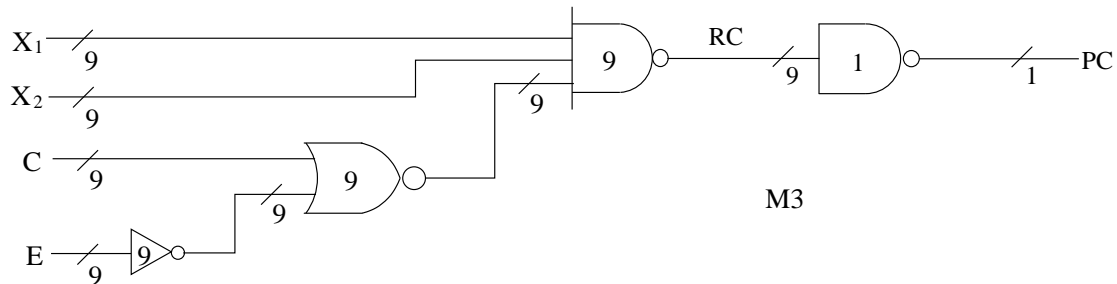


Figura 4.6: Estructura interna del módulo 3 del ISCAS-85 C432 [12].

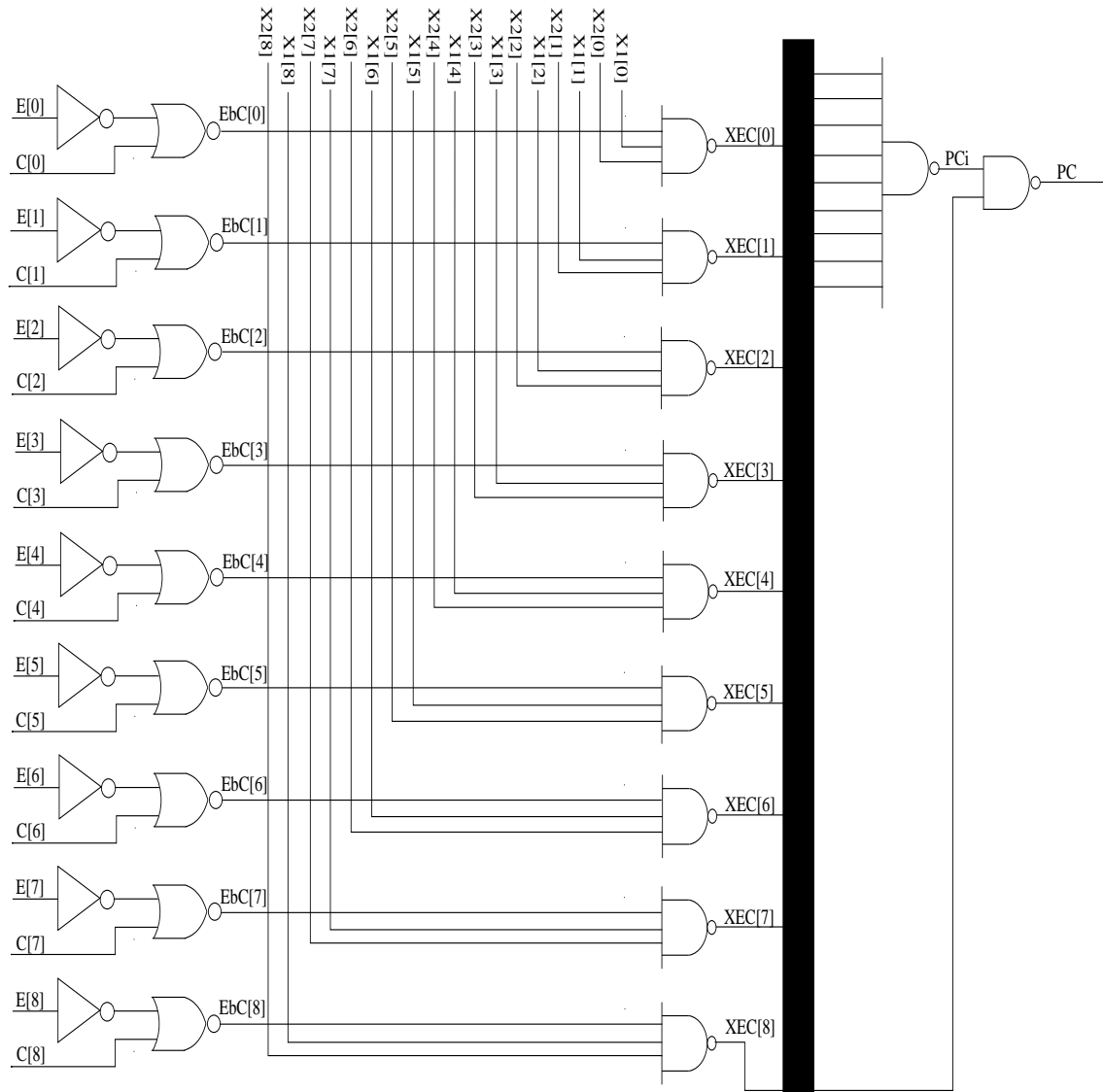


Figura 4.7: Diagrama completo del módulo 3 del ISCAS-85 C432.

Las figuras 4.8 y 4.9 muestran la estructura interna del módulo 4, los nombres de los nodos correspondientes y, así como también las entradas y las salidas. Está compuesto por nueve entradas E, nueve entradas A, nueve entradas B, nueve entradas C, nueve entradas PA, nueve entradas PB y nueve entradas PC generando nueve salidas I. Este módulo está formado por treinta y seis compuertas NAND.

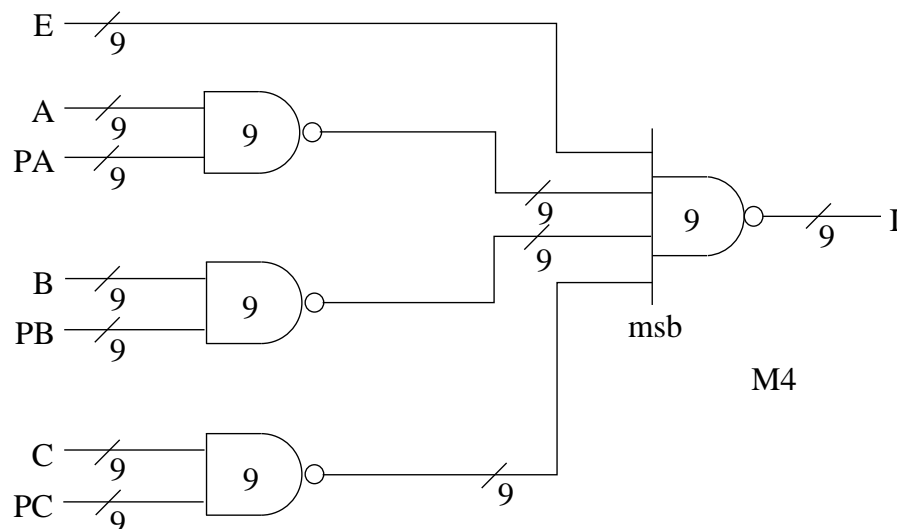


Figura 4.8: Estructura interna del módulo 4 del ISCAS-85 C432 [13].

Las figuras 4.10 y 4.11 muestran la estructura interna del módulo 5, los nombres de los nodos correspondientes y, así como también las entradas y las salidas. Está compuesto por nueve entradas I generando una salida Chan[0], una salida Chan[1], una salida Chan[2] y una salida Chan[3]. Este módulo está formado por cinco compuertas NOT, ocho compuertas NAND y una compuerta NOR. El inversor dentro del cuadro, produce la respuesta invertida Chan[3].

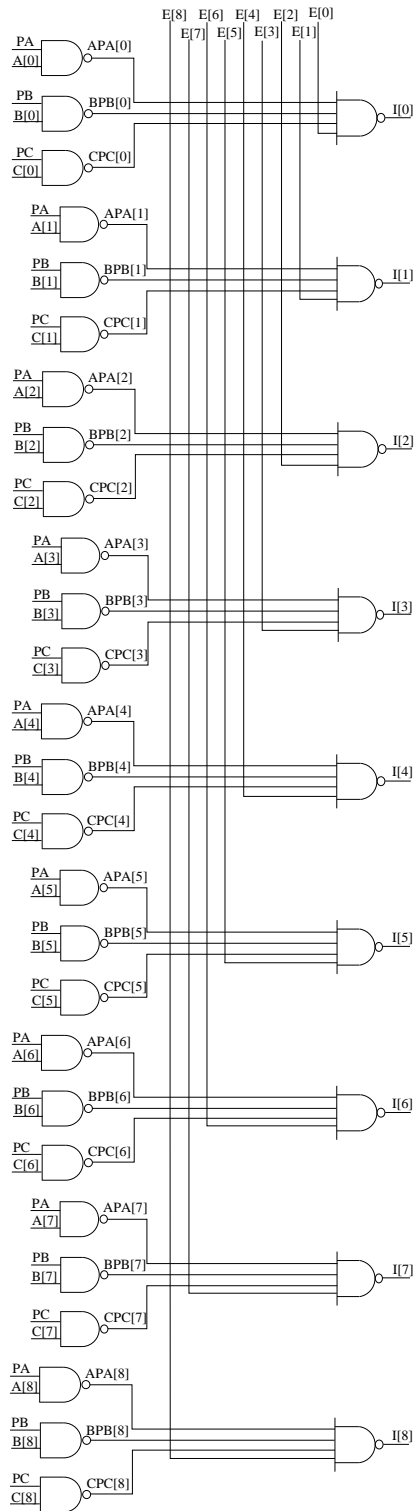


Figura 4.9: Diagrama completo del módulo 4 del ISCAS-85 C432.

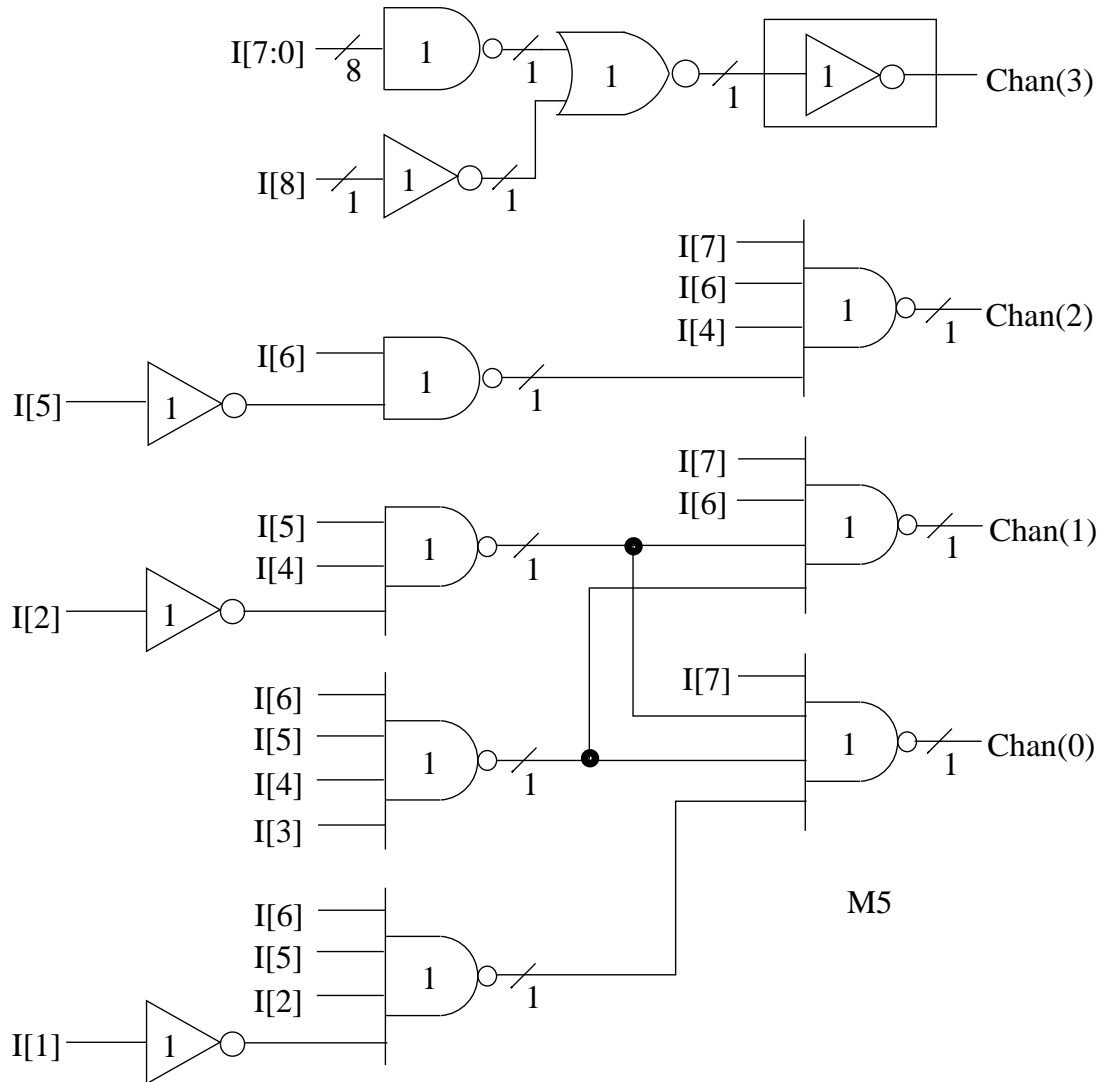


Figura 4.10: Estructura interna del módulo 5 del ISCAS-85 C432 [14].

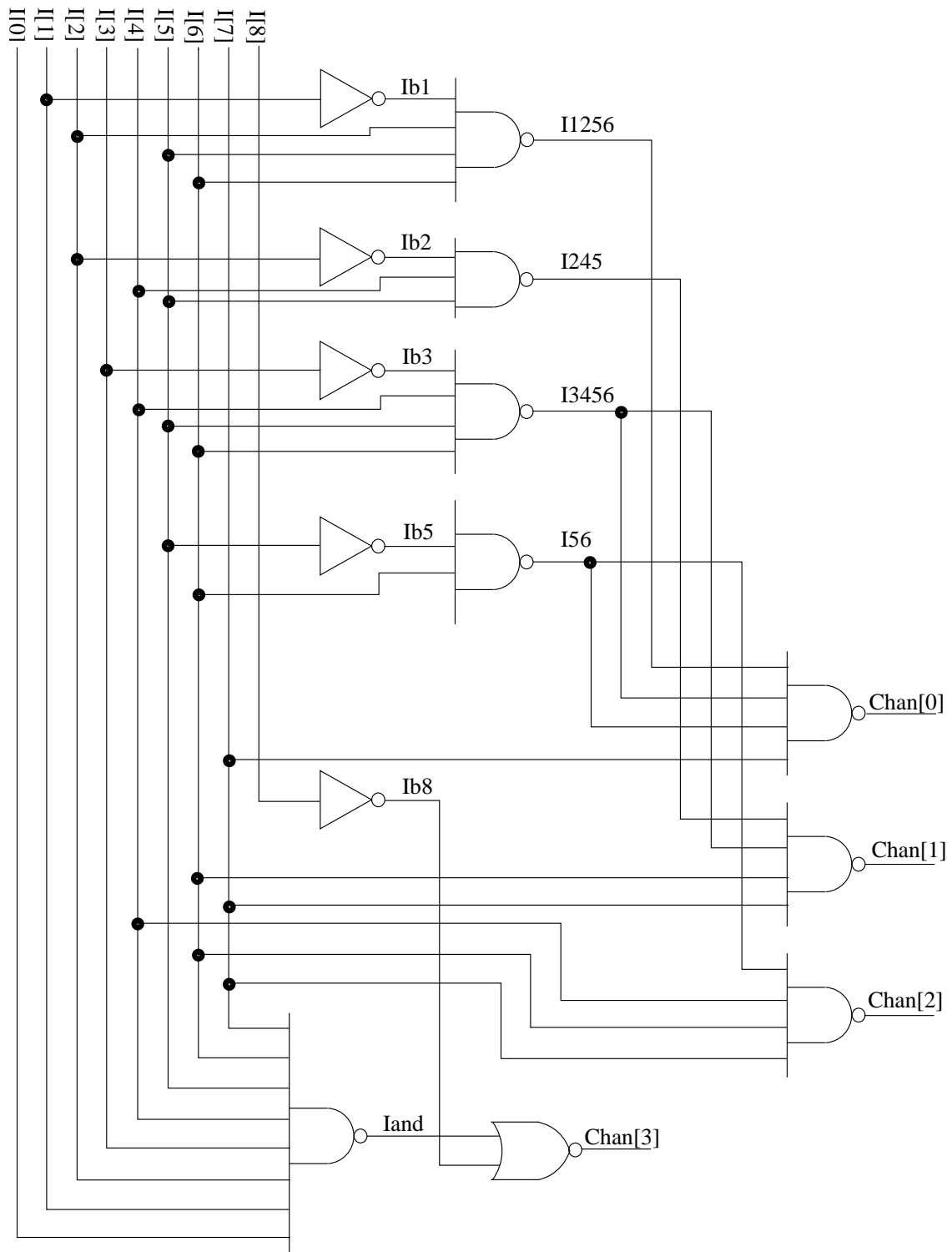


Figura 4.11: Diagrama completo del módulo 5 del ISCAS-85 C432.

Capítulo 5

Resultados

Para realizar las pruebas de simulación al circuito combinacional C432, fue necesario utilizar un software matemático (*MATLAB*) ya que su diagrama de conexiones es muy extenso y tiene una gran cantidad de combinaciones de rutas para llegar de una entrada a una salida. Para ello se creó un código que crea un grafo conteniendo todas las compuertas del circuito, las entradas y las salidas, así como todas las conexiones entre ellas, donde se utilizaron las capacitancias parásitas de cada conexión como las aristas del grafo.

Con este código podemos realizar una simulación del circuito combinacional C432 para generar el camino más corto entre una entrada y una salida así como de puntos intermedios y salidas, tomando en cuenta las capacitancias parásitas.

Por ejemplo, si queremos obtener la ruta más corta entre la entrada E y la salida Chan[0], el código buscará la ruta que como suma total de las capacitancias parásitas sea la menor de todas las rutas posibles. En la figura 5.1 podemos observar el proceso de trabajo descrito anteriormente.

El código se compone del algoritmo para generar el grafo, una matriz donde las columnas representan a cada nodo del circuito y las filas representan al valor de la capacitancia parásita de cada conexión entre nodos. Al tener la matriz se utiliza el algoritmo *biograph*, el cual sirve para crear y visualizar el grafo. Para obtener el camino más corto se utilizó el algoritmo *shortestpath* el cual se puede resolver con los métodos *Bellman-Ford*, *Dijkstra*, *Acyclic* y *BFS*. Por último para obtener los tiempos de trabajo en los que el software realiza el cálculo de la ruta para cada método se utilizó el comando *tic, toc*.

5.1. Proceso de Trabajo

La figura 5.1 muestra el proceso de trabajo realizado en el presente documento.

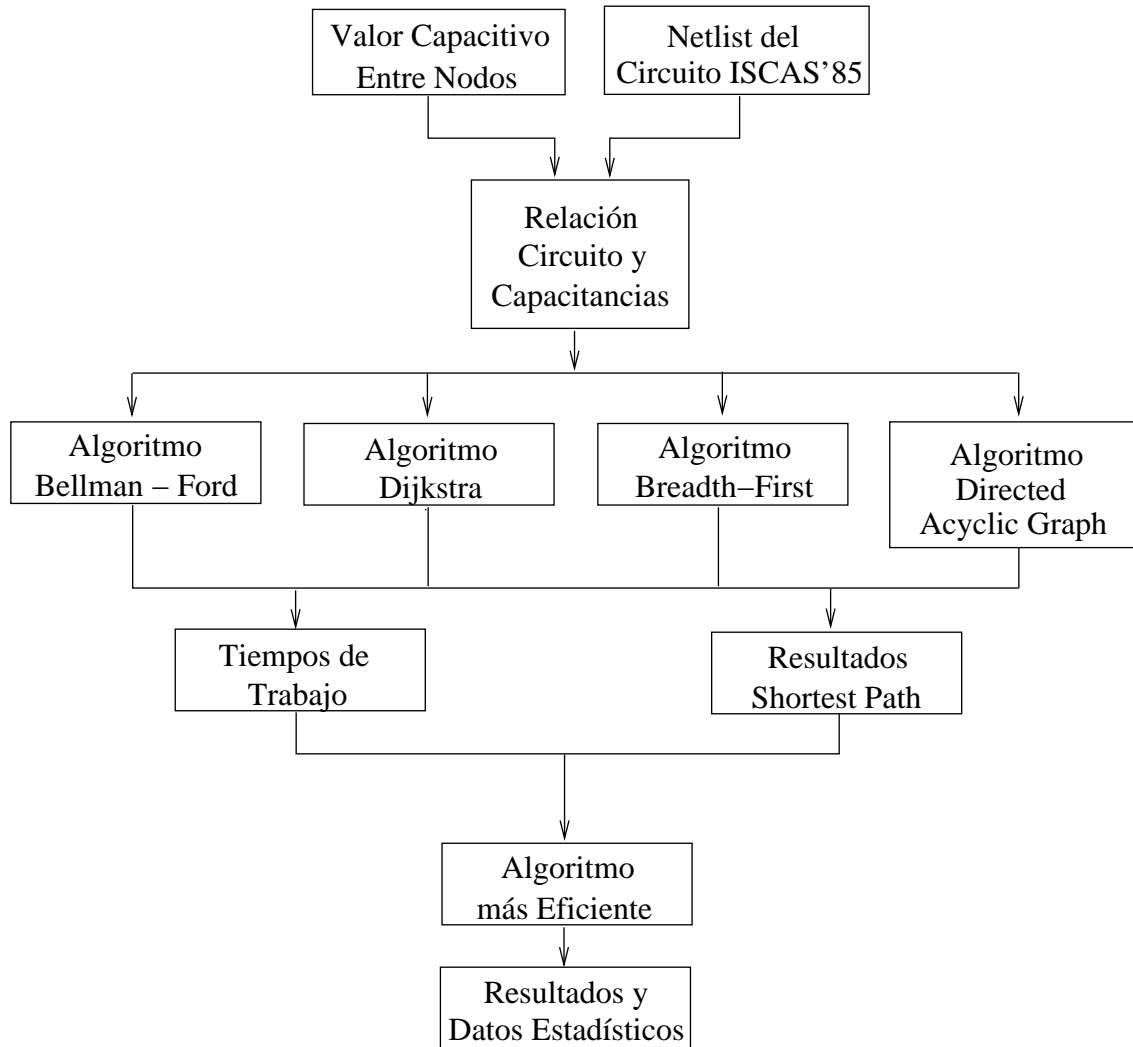


Figura 5.1: Proceso de trabajo.

Para iniciar el proceso se utilizan dos conjuntos de datos, el primero es el Netlist del Circuito ISCAS'85 C432, el cual muestra la lista de conexiones del circuito integrado, donde se describen todas las compuertas de cada módulo indicando su entrada y su salida.

Ejemplo del Netlist del Módulo 1 del circuito integrado ISCAS'85 C432.

```
module PriorityA (E, A, PA, X1);  
  
    input [8:0] E, A;  
    output      PA;  
    output [8:0] X1;  
    wire [8:0] Ab, EAb;  
  
    not Ab0(Ab[0], A[0]);  
    not Ab1(Ab[1], A[1]);  
    not Ab2(Ab[2], A[2]);  
    not Ab3(Ab[3], A[3]);  
    not Ab4(Ab[4], A[4]);  
    not Ab5(Ab[5], A[5]);  
    not Ab6(Ab[6], A[6]);  
    not Ab7(Ab[7], A[7]);  
    not Ab8(Ab[8], A[8]);  
  
    xor X10(X1[0], PA, EAb[0]);  
    xor X11(X1[1], PA, EAb[1]);  
    xor X12(X1[2], PA, EAb[2]);  
    xor X13(X1[3], PA, EAb[3]);  
    xor X14(X1[4], PA, EAb[4]);  
    xor X15(X1[5], PA, EAb[5]);  
    xor X16(X1[6], PA, EAb[6]);  
    xor X17(X1[7], PA, EAb[7]);  
    xor X18(X1[8], PA, EAb[8]);  
  
endmodule /* PriorityA */
```

El segundo conjunto de datos son los valores capacitivos entre nodos, los cuales obtenemos de un archivo Verilog del circuito C432.

Ejemplo del archivo Verilog de los valores capacitivos entre nodos del circuito C432.

```
M1/X13/Y gnd=3.2539e-15 vdd=3.17949e-15
M1/X12/Y=8.03194e-15
M3/XEC0/Y gnd=2.45656e-15 vdd=2.50938e-15
M3/XEC1/Y=5.35396e-15
M2/X26/Y=5.19529e-15
M1/EAb3/Y gnd=1.27913e-15 vdd=2.52662e-15
C[0]=4.71128e-15
M3/XEC1/Y gnd=1.77883e-15 vdd=1.49076e-15
M3/XEC0/Y=5.35396e-15
M3/XEC2/Y=4.46026e-15
```

Al combinar los datos anteriores podemos obtener la relación circuito y capacitancias, ésto es, el comando realizado para generar el grafo representativo del diagrama interno del circuito integrado C432.

Ejemplo del comando que genera el grafo.

```
1 % Se crea la matriz con los nodos y los valores capacitivos
2 CM = [0 0 7.4186e-015 1.0936e-014 6.0232e-015 6.6056e-015 ...
3
4 % Se enumeran las compuertas logicas del CI C432
5 nodos = { 'A', 'E', 'NOT1', 'NOT2', 'NOT3', 'NOT4', 'NOT5', ...
6
7 b = biograph(CM, nodos, 'ShowWeights', 'on');
8 view(b)
```

Después de conseguir la relación anterior aplicamos cuatro algoritmos para encontrar las rutas más cortas del grafo generado, estos algoritmos se obtiene mediante el método *shortestpath* (*biograph*).

Ejemplo de los comandos que generan la ruta más corta.

```
1 [dist0, path0, pred0] = shortestpath(b, E, S, 'Method', 'Bellman-Ford')
2
3 [dist1, path1, pred1] = shortestpath(b, E, S, 'Method', 'Dijkstra')
4
5 [dist2, path2, pred2] = shortestpath(b, E, S, 'Method', 'Acyclic')
6
7 [dist3, path3, pred3] = shortestpath(b, E, S, 'Method', 'BFS')
```

Posteriormente, obtenemos los resultados Shortest Path, los cuales son las rutas más cortas desde una entrada a una salida. Además de los resultados, obtenemos los tiempos de trabajo de cada método para saber cual de los cuatro es el más eficiente en cuanto a la rapidez. Ésto se realiza con los comandos *Tic*, *Toc*.

Ejemplo de los comandos *Tic*, *Toc*.

```
1 tic
2 [dist1 , path1 , pred1] = shortestpath(b, 42, 156, 'Method', 'Dijkstra')
3
4 t = toc
```

Como podemos observar en el proceso de trabajo, con los resultados Shortest Path y los tiempos de trabajo encontramos el algoritmo más eficiente y, con éste, procesamos los resultados y obtenemos datos estadísticos.

Siguiendo este proceso, se realizaron pruebas para determinar el tiempo de trabajo en el que el algoritmo genera cada una de las rutas posibles de las entradas y salidas del circuito según el método utilizado. Los resultados se muestran en la tabla 5.1.

ENTRADA A SALIDA	NODOS	Densidad (Faradios)	Bellman-Ford (Segundos)	Dijkstra (Segundos)	Acyclic (Segundos)	Breadth-first (Segundos)
E a Chan[0] (de Nodo 2 a Nodo 165)	2 137 146 164 165	1.1492e-014	0.062357	0.060842	0.063813	0.062672
E a Chan[1] (de Nodo 2 a Nodo 160)	2 137 146 159 160	1.0889e-014	0.063190	0.059978	0.065072	0.062929
E a Chan[2] (de Nodo 2 a Nodo 156)	2 134 143 155 156	1.1603e-014	0.062362	0.059876	0.064317	0.060305
E a Chan[3] (de Nodo 2 a Nodo 152)	2 138 147 149 150 151 152	5.2988e-015	0.063368	0.061375	0.065603	0.062745
A a Chan[0] (de Nodo 1 a Nodo 165)	1 105 132 141 162 164 165	1.5966e-014	0.063172	0.063523	0.062401	0.061082
A a Chan[1] (de Nodo 1 a Nodo 160)	1 110 137 146 159 160	1.6531e-014	0.062005	0.061245	0.066215	0.063390
A a Chan[2] (de Nodo 1 a Nodo 156)	1 110 137 146 155 156	1.7442e-014	0.062509	0.060181	0.063842	0.063349
A a Chan[3] (de Nodo 1 a Nodo 152)	1 111 138 147 149 150 151 152	1.0447e-014	0.064694	0.062562	0.064070	0.063423
B a Chan[0] (de Nodo 42 a Nodo 165)	42 119 137 146 164 165	2.2397e-014	0.061727	0.059867	0.061602	0.061221
B a Chan[1] (de Nodo 42 a Nodo 160)	42 119 137 146 159 160	2.1794e-014	0.062823	0.060345	0.061781	0.062173
B a Chan[2] (de Nodo 42 a Nodo 156)	42 119 137 146 155 156	2.2705e-014	0.062006	0.059044	0.062664	0.062667
B a Chan[3] (de Nodo 42 a Nodo 152)	42 120 138 147 149 150 151 152	1.7780e-014	0.063351	0.061270	0.063958	0.062836
C a Chan[0] (de Nodo 82 a Nodo 165)	82 122 131 140 161 162 164 165	1.5897e-014	0.063596	0.061734	0.063972	0.062787
C a Chan[1] (de Nodo 82 a Nodo 160)	82 127 136 145 159 160	2.6803e-014	0.061755	0.060412	0.062691	0.061691
C a Chan[2] (de Nodo 82 a Nodo 156)	82 127 136 145 155 156	2.7713e-014	0.062837	0.061358	0.063289	0.062109
C a Chan[3] (de Nodo 82 a Nodo 152)	82 122 131 140 148 150 151 152	1.5051e-014	0.065244	0.063021	0.066563	0.067403
E a PA (de Nodo 2 a Nodo 31)	2 20 21 31	3.7449e-014	0.060978	0.059944	0.061717	0.060204
E a PB (de Nodo 2 a Nodo 71)	2 52 43 33 61 71	3.4763e-014	0.063124	0.061037	0.064489	0.063201
E a PC (de Nodo 2 a Nodo 102)	2 100 70 72 80 101 102	2.3886e-014	0.063773	0.061609	0.063641	0.061864
A a PA (de Nodo 1 a Nodo 31)	1 11 20 21 31	4.2084e-014	0.061631	0.059976	0.065635	0.061181
A a PB (de Nodo 1 a Nodo 71)	1 11 20 30 32 34 61 71	5.6549e-014	0.063313	0.061425	0.064430	0.063590
A a PC (de Nodo 1 a Nodo 102)	1 11 20 30 32 80 101 102	4.6336e-014	0.063259	0.062194	0.063981	0.062191
B a PA (de Nodo 42 a Nodo 31)	NC	NC	NC	NC	NC	NC
B a PB (de Nodo 42 a Nodo 71)	42 43 33 61 71	4.3620e-014	0.062364	0.061079	0.063226	0.061766
B a PC (de Nodo 42 a Nodo 102)	42 43 33 62 72 80 101 102	3.8394e-014	0.063118	0.061521	0.064204	0.063008
C a PA (de Nodo 82 a Nodo 31)	NC	NC	NC	NC	NC	NC
C a PB (de Nodo 82 a Nodo 71)	NC	NC	NC	NC	NC	NC
C a PC (de Nodo 82 a Nodo 102)	82 91 81 101 102	3.3269e-014	0.062442	0.060561	0.063461	0.060919

Tabla 5.1: Tiempos de trabajo para cada algoritmo *NC(No tienen conexión).

Se aprecia que el método *Dijkstra* es el mejor de los cuatro ya que resuelve el algoritmo, en la mayoría de los casos, en el menor tiempo de trabajo. Se tomaron los tiempos de este método para realizar una lista de la ruta con el menor tiempo a la ruta con el mayor tiempo, (tabla 5.3), y obtener datos estadísticos de dicho método, las cuales las podemos observar en la tabla 5.2 y en la figura 5.2.

DATOS ESTADÍSTICOS	
Descripción	Tiempo (Segundos)
Media	0.061039
Mediana	0.061079
Moda	0.059044
Desviación Estándar s	0.001066
Varianza s^2	0.000001

Tabla 5.2: Resultados estadísticos de los tiempos de trabajo del algoritmo de Dijkstra.

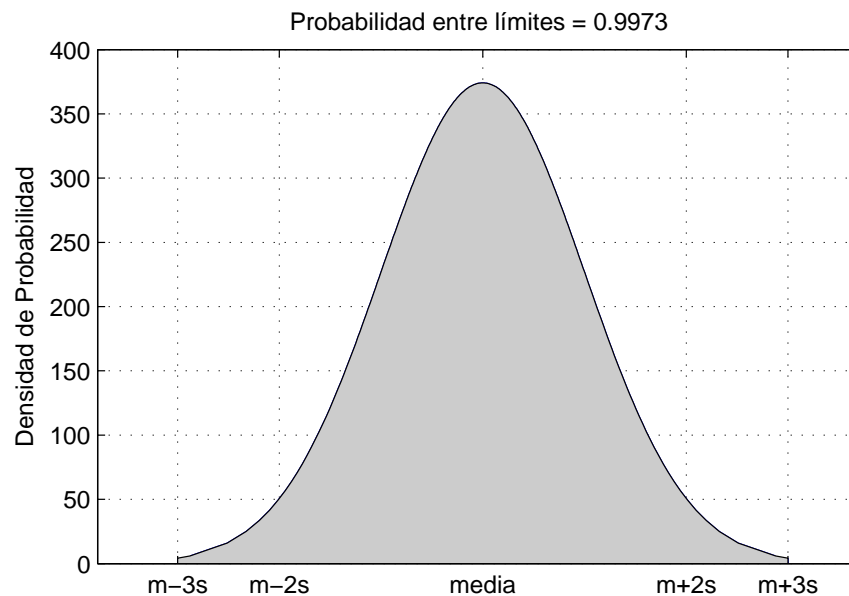


Figura 5.2: Distribución normal.

Ruta de Entrada a Salida	Nodos	Capacitancia (Faradios)	Tiempo de trabajo (Segundos)
B a Chan[2] (de Nodo 42 a Nodo 156)	42 119 137 146 155 156	2.27e-14	0.059044
B a Chan[0] (de Nodo 42 a Nodo 165)	42 119 137 146 164 165	2.24e-14	0.059867
E a Chan[2] (de Nodo 2 a Nodo 156)	2 134 143 155 156	1.16e-14	0.059876
E a PA (de Nodo 2 a Nodo 31)	2 20 21 31	3.74e-14	0.059944
A a PA (de Nodo 1 a Nodo 31)	1 11 20 21 31	4.21e-14	0.059976
E a Chan[1] (de Nodo 2 a Nodo 160)	2 137 146 159 160	1.09e-14	0.059978
A a Chan[2] (de Nodo 1 a Nodo 156)	1 110 137 146 155 156	1.74e-14	0.060181
B a Chan[1] (de Nodo 42 a Nodo 160)	42 119 137 146 159 160	2.18e-14	0.060345
C a Chan[1] (de Nodo 82 a Nodo 160)	82 127 136 145 159 160	2.68e-14	0.060412
C a PC (de Nodo 82 a Nodo 102)	82 91 81 101 102	3.33e-14	0.060561
E a Chan[0] (de Nodo 2 a Nodo 165)	2 137 146 164 165	1.15e-14	0.060842
E a PB (de Nodo 2 a Nodo 71)	2 52 43 33 61 71	3.48e-14	0.061037
B a PB (de Nodo 42 a Nodo 71)	42 43 33 61 71	4.36e-14	0.061079
A a Chan[1] (de Nodo 1 a Nodo 160)	1 110 137 146 159 160	1.65e-14	0.061245
B a Chan[3] (de Nodo 42 a Nodo 152)	42 120 138 147 149 150 151 152	178e-14	0.06127
C a Chan[2] (de Nodo 82 a Nodo 156)	82 127 136 145 155 156	2.77e-14	0.061358
E a Chan[3] (de Nodo 2 a Nodo 152)	2 138 147 149 150 151 152	5.30e-15	0.061375
A a PB (de Nodo 1 a Nodo 71)	1 11 20 30 32 34 61 71	5.65e-14	0.061425
B a PC (de Nodo 42 a Nodo 102)	42 43 33 62 72 80 101 102	3.84e-14	0.061521
E a PC (de Nodo 2 a Nodo 102)	2 100 70 72 80 101 102	2.39e-14	0.061609
C a Chan[0] (de Nodo 82 a Nodo 165)	82 122 131 140 161 162 164 165	1.59e-14	0.061734
A a PC (de Nodo 1 a Nodo 102)	1 11 20 30 32 80 101 102	4.63e-14	0.062194
A a Chan[3] (de Nodo 1 a Nodo 152)	1 111 138 147 149 150 151 152	1.04e-14	0.062562
C a Chan[3] (de Nodo 82 a Nodo 152)	82 122 131 140 148 150 151 152	1.51e-14	0.063021
A a Chan[0] (de Nodo 1 a Nodo 165)	1 105 132 141 162 164 165	1.60e-14	0.063523

Tabla 5.3: Tiempos de trabajo del algoritmo de Dijkstra ordenados de menor a mayor.

En la figura 5.3 se observa el diagrama de la ruta más corta que se generó en el tiempo más corto con el método *Dijkstra*, esta ruta va desde la entrada B[7] a la salida Chan[2], con una suma total de valor de capacitancias parásitas de $2.2705e-014$ Faradios.

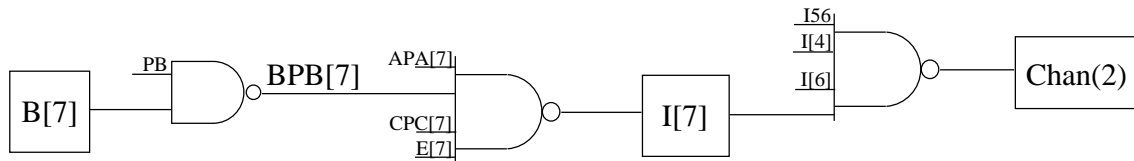


Figura 5.3: Diagrama de la ruta con tiempo de trabajo más corto.

En la figura 5.4 se observa el diagrama de la ruta más larga que se generó en el tiempo más largo con el método *Dijkstra*, esta ruta va desde la entrada A[2] a la salida Chan[0], con una suma total de valor de capacitancias parásitas de $1.5966e-014$ Faradios.

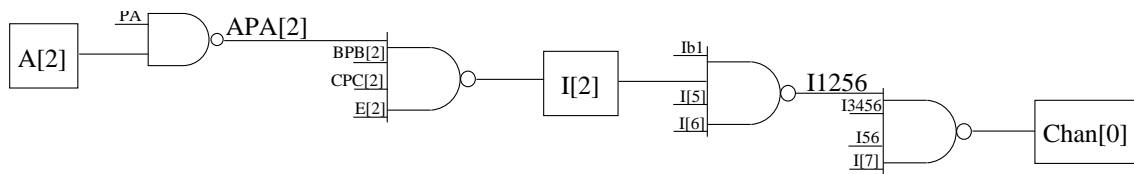


Figura 5.4: Diagrama de la ruta con tiempo de trabajo más larga.

En la figura 5.5 se observa el grafo de la ruta más corta que se generó en el tiempo más corto con el método *Dijkstra*. En él podemos observar que la entrada B[7] tiene más conexiones a otros nodos con una suma total de capacitancias parasitas menor, aún así pueden resultar rutas con una suma total de capacitancias parasitas mayor a esta ruta generada por eso se excluyen, después en el nodo I[7], aunque el valor de la capacitancia parasita a cualquier conexión es la misma, solo existe una ruta posible para llegar a la salida Chan[2].

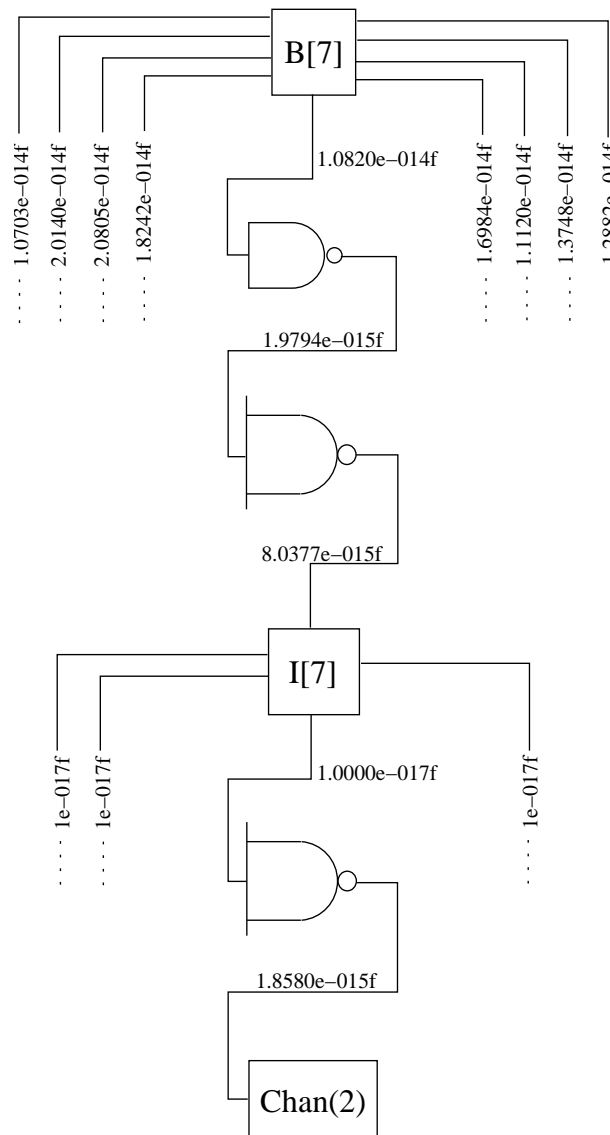


Figura 5.5: Grafo de la ruta más corta.

En la figura 5.6 se observa el grafo de la ruta más larga que se generó en el tiempo más largo con el método *Dijkstra*. En él podemos observar que la entrada A[2] tiene más conexiones a otros nodos con una suma total de capacitancias parasitas menor, aún así pueden resultar rutas con una suma total de capacitancias parasitas mayor a esta ruta generada por eso se excluyen, después en el nodo I[2], aunque el valor de la capacitancia parasita a cualquier conexión es la misma, solo existe una ruta posible para llegar a la salida Chan[0].

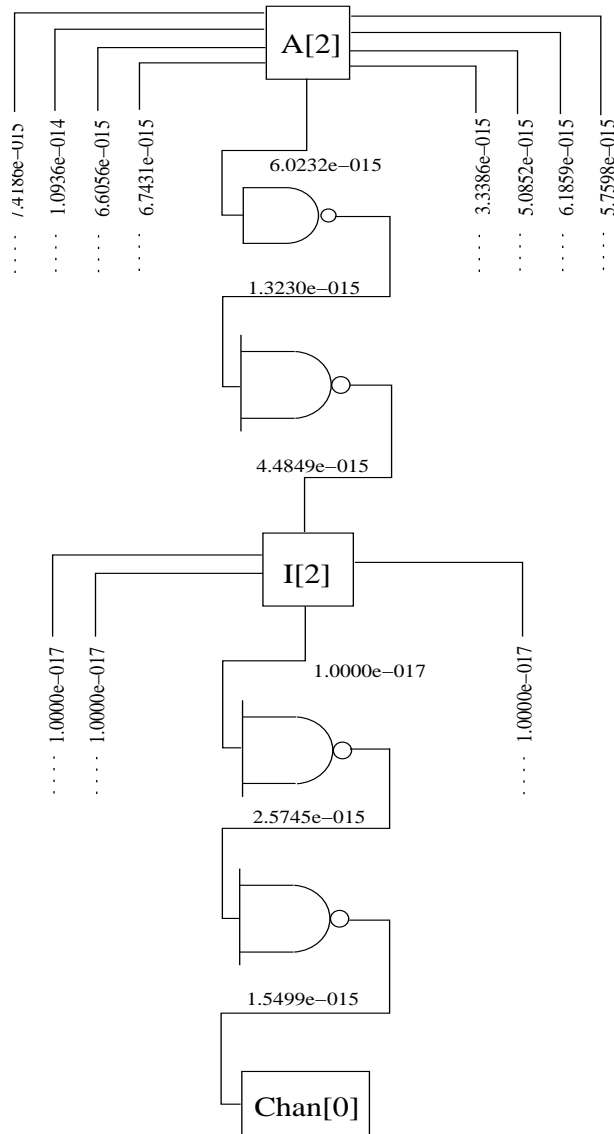


Figura 5.6: Grafo de la ruta más larga.

5.2. Aplicación de los Resultados para la Detección de Fallas



Después de haber comprobado que el algoritmo más efectivo para encontrar el camino más corto entre una entrada y una salida del circuito combinacional C432, a partir del tiempo de trabajo de procesamiento de la computadora, es el algoritmo de Dijkstra, se puede aplicar dicho algoritmo para realizar un modelo de detección de fallas en circuitos de VLSI.

Como ya vimos, la arquitectura de estos circuitos puede llegar a tener millones de transistores en un solo encapsulado, el cual hace imposible realizar las pruebas correspondientes a cada ruta en el circuito, es por ello que cuando se realizan las pruebas de fabricación, solo se prueban determinadas rutas, además se trata de minimizar el tiempo de aplicación de cada prueba.

Con los resultados obtenidos en este trabajo se puede realizar una minimización de dichas pruebas en el circuito combinacional C432, encontrando las rutas más cortas desde una entrada a una salida, a partir de sus capacitancias parásitas, con el algoritmo más efectivo en cuanto el tiempo de trabajo de procesamiento de la computadora.

Es posible generalizar este proceso y aplicarlo a otros circuitos de la familia ISCAS'85, ya que esta familia está constituida de circuitos estándar y de referencia, para después perfeccionarla y utilizarla en circuitos más complejos.

Capítulo 6

Conclusiones

Al observar los resultados obtenidos mediante los métodos utilizados en el presente documento, se puede concluir que es posible una minimización de trabajo.

Esta minimización de trabajo en las pruebas de detección de fallas es muy importante en la fabricación de Circuito Integrados, ya que con el paso de los años, el número de transistores en un solo chip está creciendo rápidamente generando una distancia entre las líneas cada vez menor produciendo efectos de acoplamiento, los cuales se tomaron en consideración en la metodología utilizada en el presente documento.

También se comprueba que una forma muy efectiva encontrar las rutas más cortas en un diagrama de conexiones de un circuito integrado es utilizando algoritmos de grafos.

Además, con los resultados obtenidos en la tabla 5.1, se comprobó que para encontrar un camino entre dos vértices (o nodos), de tal manera que la suma de los pesos de las aristas que lo constituyen es mínima, el algoritmo que lo resuelve en el menor tiempo de trabajo es el Algoritmo de Dijkstra ya que selecciona directamente el nodo de peso mínimo. Ésto se cumple siempre y cuando el pesos de las aristas no sean negativos.

Con la comprobación de esta metodología para el circuito combinacional C432, se da pie a la posibilidad de su generalización para toda la familia de los ISCAS'85, esto debido a que se trata de circuitos estándar y de referencia, los cuales se constituyen solamente de compuertas lógicas.

Apéndice A

Código MATLAB

Este código se puede descargar de internet [15] para su comprobación.

Ejemplo del comando que genera el grafo.



```
1 CM = [0 0 7.4186e-015 1.0936e-014 6.0232e-015 6.6056e-015 6.7431e-015 3.3386e-
2 015 5.0852e-015 6.1859e-015 5.7598e-015 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
3 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
4 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
5 1.0936e-014 6.0232e-015 6.6056e-015 6.7431e-015 3.3386e-015 5.0852e-015 6.185
6 9e-015 5.7598e-015 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
7 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;
8 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
9 2.1498e-015 1.7932e-015 1.6775e-015 1.8939e-015 1.9078e-015 0 0 0 0 0 0 0 0 0 0
10 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
11 5 6.1159e-015 2.1498e-015 1.7932e-015 1.6775e-015 1.8939e-015 1.9078e-015 0 0
12 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
13 015 5.5951e-015 6.1159e-015 2.1498e-015 1.7932e-015 1.6775e-015 1.8939e-015 1.
14 9078e-015 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
15 6 4.3580e-015 5.5951e-015 6.1159e-015 2.1498e-015 1.7932e-015 1.6775e-015 1.89
16 39e-015 1.9078e-015 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
17 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
18 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
19 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
20 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
21 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;
22 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
23 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
24 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
25 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
26 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;
27 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
28 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
29 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
```



```

174 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;
175     0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
176 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 3.8016e-015 0 3.8016e-015 0 0
177 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
178 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
179 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;
180     0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
181 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 6.9469e-015 0 6.9469e-015 0
182 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
183 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
184 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;
185     0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
186 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 5.3512e-015 0 0 5.3512e-015
187 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
188 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
189 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;
190     0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
191 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1.1284e-014 0 0 0 0 1.1284e-0
192 14 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
193 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
194 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;
195     0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
196 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1.3055e-014 0 0 0 0 0 1.3055e
197 -014 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
198 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
199 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;
200     0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
201 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1.0672e-014 0 0 0 0 0 0 1.067
202 2e-014 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
203 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
204 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;
205     0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
206 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1.2026e-014 0 0 0 0 0 0 1.2
207 026e-014 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
208 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
209 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;
210     0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
211 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1.1105e-014 0 0 0 0 0 0 0 1
212 .1105e-014 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
213 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
214 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;
215     0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
216 0 0 0 0 0 0 1.0703e-014 2.0140e-014 2.0805e-014 1.8242e-014 1.6984e-014 1.112
217 0e-014 1.3748e-014 1.0820e-014 1.2882e-014 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
218 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
219 0 0 0 0 1.0703e-014 2.0140e-014 2.0805e-014 1.8242e-014 1.6984e-014 1.1120e-0
220 14 1.3748e-014 1.0820e-014 1.2882e-014 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0
221 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0;

```

```

846 'NOR3', 'NOR4', 'NOR5', 'NOR6', 'NOR7', 'NOR8', 'NOR9', 'NOT10', 'NOT11',
847 'NOT12', 'NOT13', 'NOT14', 'NOT15', 'NOT16', 'NOT17', 'NOT18', 'NAND20',
848 'XOR10', 'XOR11', 'XOR12', 'XOR13', 'XOR14', 'XOR15', 'XOR16', 'XOR17',
849 'XOR18', 'PB', 'X2', 'NAND21', 'NAND22', 'NAND23', 'NAND24', 'NAND25',
850 'NAND26', 'NAND27', 'NAND28', 'NAND29', 'C', 'NOR10', 'NOR11', 'NOR12',
851 'NOR13', 'NOR14', 'NOR15', 'NOR16', 'NOR17', 'NOR18', 'NOT19', 'NOT20',
852 'NOT21', 'NOT22', 'NOT23', 'NOT24', 'NOT25', 'NOT26', 'NOT27', 'NAND30/RC',
853 'PC', 'NAND31', 'NAND32', 'NAND33', 'NAND34', 'NAND35', 'NAND36', 'NAND37',
854 'NAND38', 'NAND39', 'NAND40', 'NAND41', 'NAND42', 'NAND43', 'NAND44', 'NAND45',
855 'NAND46', 'NAND47', 'NAND48', 'NAND49', 'NAND50', 'NAND51', 'NAND52', 'NAND53',
856 'NAND54', 'NAND55', 'NAND56', 'NAND57', 'NAND58', 'NAND59', 'NAND60', 'NAND61',
857 'NAND62', 'NAND63', 'NAND64', 'NAND65', 'NAND66', 'I0', 'I1', 'I2', 'I3',
858 'I4', 'I5', 'I6', 'I7', 'I8', 'AND1', 'NOT28', 'NOR19', 'NOT29', 'Chan(3)',
859 'NOT30', 'NAND67', 'NAND68', 'Chan(2)', 'NOT31', 'NAND69', 'NAND70', 'Chan(1)',
860 'NOT32', 'NAND71', 'NAND72', 'NAND73', 'Chan(0)'}
861 nodos = {'1', '2', '3', '4', '5', '6', '7', '8', '9', '10',
862 '11', '12', '13', '14', '15', '16', '17', '18', '19', '20', '21',
863 '22', '23', '24', '25', '26', '27', '28', '29', '30', '31', '32',
864 '33', '34', '35', '36', '37', '38', '39', '40', '41', '42', '43',
865 '44', '45', '46', '47', '48', '49', '50', '51', '52', '53', '54',
866 '55', '56', '57', '58', '59', '60', '61', '62', '63', '64', '65',
867 '66', '67', '68', '69', '70', '71', '72', '73', '74', '75', '76',
868 '77', '78', '79', '80', '81', '82', '83', '84', '85', '86', '87',
869 '88', '89', '90', '91', '92', '93', '94', '95', '96', '97', '98',
870 '99', '100', '101', '102', '103', '104', '105', '106', '107', '108', '109',
    '110', '111', '112', '113', '114', '115', '116', '117', '118', '119', '120',
    '121', '122', '123', '124', '125', '126', '127', '128', '129', '130', '131',
    '132', '133', '134', '135', '136', '137', '138', '139', '140', '141', '142',
871 '143', '144', '145', '146', '147', '148', '149', '150', '151', '152', '153',
    '154', '155', '156', '157', '158', '159', '160', '161', '162', '163', '164',
    '165'}
872
873 b = biograph(CM, nodos, 'ShowWeights', 'on');
874 view(b)
875
876 tic
877 [dist0, path0, pred0] = shortestpath(b, 82, 102, 'Method', 'Bellman-Ford')
878 %[dist1, path1, pred1] = shortestpath(b, 82, 102, 'Method', 'Dijkstra')
879 %[dist2, path2, pred2] = shortestpath(b, 82, 102, 'Method', 'Acyclic')
880 %[dist3, path3, pred3] = shortestpath(b, 82, 102, 'Method', 'BFS')
881 t = toc

```


Índice de figuras

2.1. Ley de Moore [3].	4
2.2. Proceso de realización del VLSI. [2]	5
2.3. Principios del Testing. [2]	6
2.4. Geometría para calcular el acoplamiento capacitivo [1].	7
2.5. Acoplamiento capacitivo entre dos líneas interconectadas adyacentes.	8
3.1. Un ejemplo de una falla stuck-at simple.	11
3.2. Simulación para la verificación del diseño.	12
3.3. Ejemplos de grafos.	13
3.4. Grafo a analizar.	15
3.5. Etiqueta del nodo inicial.	16
3.6. Etiqueta de los nodos conectados al nodo inicial.	17
3.7. Etiqueta de los nodos C y E.	17
3.8. Etiqueta del nodo C con la nueva ruta.	18
3.9. Etiqueta del nodo final.	18
3.10. Grafo a analizar.	20
3.11. Etiquetas de los nodos conectados a A.	20
3.12. Revisión de otras conexiones a los nodos etiquetados.	21
3.13. Revisión con las nuevas etiquetas.	22
3.14. Etiquetas resultantes.	22
3.15. Ruta resultante.	23
3.16. Ejemplo del algoritmo Breadth-first.	25
3.17. Primer análisis del algoritmo Breadth-first.	25
3.18. Segundo paso del algoritmo Breadth-first.	26
3.19. Tercer paso del algoritmo Breadth-first.	26
4.1. Modelo de nivel alto del controlador de interrupción C432 [9].	31
4.2. Estructura interna del módulo 1 del ISCAS-85 C432 [10].	32
4.3. Diagrama completo del módulo 1 del ISCAS-85 C432 [10].	33
4.4. Estructura interna del módulo 2 del ISCAS-85 C432 [11].	34
4.5. Diagrama completo del módulo 2 del ISCAS-85 C432.	35

4.6.	Estructura interna del módulo 3 del ISCAS-85 C432 [12].	36
4.7.	Diagrama completo del módulo 3 del ISCAS-85 C432.	37
4.8.	Estructura interna del módulo 4 del ISCAS-85 C432 [13].	38
4.9.	Diagrama completo del módulo 4 del ISCAS-85 C432.	39
4.10.	Estructura interna del módulo 5 del ISCAS-85 C432 [14].	40
4.11.	Diagrama completo del módulo 5 del ISCAS-85 C432.	41
5.1.	Proceso de trabajo.	44
5.2.	Distribución normal.	49
5.3.	Diagrama de la ruta con tiempo de trabajo más corto.	51
5.4.	Diagrama de la ruta con tiempo de trabajo más larga.	51
5.5.	Grafo de la ruta más corta.	52
5.6.	Grafo de la ruta más larga.	53

Índice de cuadros

5.1. Tiempos de trabajo para cada algoritmo *NC(No tienen conexión).	48
5.2. Resultados estadísticos de los tiempos de trabajo del algoritmo de Dijkstra.	49
5.3. Tiempos de trabajo del algoritmo de Dijkstra ordenados de menor a mayor.	50

Bibliografía

- [1] JOHN P. UYEMURA , *CMOS Logic Circuit Design*, Georgia Institute of Technology, 2002, 528p.
- [2] MICHAEL L. BUSHNELL, VISHWANI D. AGRAWAL , *Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits*, Kluwer Academic, 2000, 690p.
- [3] BREAKING MOORE'S LAW: HOW CHIPMAKERS ARE PUSHING PCs TO BLISTERING NEW LEVELS AUTOR: BRAD CHACOS, REVISTA PCWORLD, <http://www.pcworld.com/article/2033671>
- [4] HANA ALGORITHMS - EFFICIENCY BY DESIGN WITH SAP HANA AUTOR: JOHN APPLEBY, SAP HANA, <http://www.saphana.com/community/blogs/blog/2013/04/18/>
- [5] ISCAS HIGH-LEVEL MODELS AUTOR: MARK HANSEN, HAKAN YALCIN, AND JOHN HAYES, UNIVERSITY OF MICHIGAN, <http://web.eecs.umich.edu/~jhayes/iscas.restore/>
- [6] VIDEO: ALGORITMO DE DIJKSTRA - EJEMPLO 1 AUTOR: JUAN CARLOS MÉNDEZ, <http://youtu.be/VEhf0GXRd6E>
- [7] VIDEO: GRAFOS - ALGORITMO DE BELLMAN-FORD AUTOR: PEP SIMO, <http://youtu.be/18RaRWoqoJo>
- [8] VIDEO: ALGORITMO BFS (BÚSQUEDA EN ANCHURA) AUTOR: MAXIMILIANO TEXEIRA, <http://youtu.be/5YsDIZ-bwjY>
- [9] CONTROLADOR DE INTERRUPCIÓN DE 27 CANALES ISCAS-85 C432 AUTOR: JOHN P. HAYES, <http://web.eecs.umich.edu/~jhayes/iscas.restore/c432.html>
- [10] ESTRUCTURA INTERNA DEL MÓDULO 1 DEL C432 AUTOR: JOHN P. HAYES, <http://web.eecs.umich.edu/~jhayes/iscas.restore/c432m1.html>

- [11] ESTRUCTURA INTERNA DEL MÓDULO 2 DEL C432 AUTOR: JOHN P. HAYES, *http://web.eecs.umich.edu/~jhayes/iscas.restore/c432m2.html*
- [12] ESTRUCTURA INTERNA DEL MÓDULO 3 DEL C432 AUTOR: JOHN P. HAYES, *http://web.eecs.umich.edu/~jhayes/iscas.restore/c432m3.html*
- [13] ESTRUCTURA INTERNA DEL MÓDULO 4 DEL C432 AUTOR: JOHN P. HAYES, *http://web.eecs.umich.edu/~jhayes/iscas.restore/c432m4.html*
- [14] ESTRUCTURA INTERNA DEL MÓDULO 5 DEL C432 AUTOR: JOHN P. HAYES, *http://web.eecs.umich.edu/~jhayes/iscas.restore/c432m5.html*
- [15] GRAFO C432 AUTOR: AARÓN ALEJANDRO LÓPEZ CARVAJAL, UNIVERSIDAD DE SONORA, *https://skydrive.live.com/redirect?resid=40673E18147F62A4!116&authkey=!AN7I9A-lLaW473Y*
-